

08.10.03

日 本 国 特 許 庁
JAPAN PATENT OFFICE

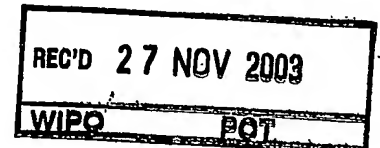
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 2 年 1 0 月 8 日

出 願 番 号
Application Number: 特 願 2 0 0 2 - 2 9 5 0 9 8
[ST. 10/C]: [J P 2 0 0 2 - 2 9 5 0 9 8]

出 願 人
Applicant(s): 松下電器産業株式会社

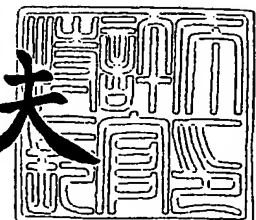


PRIORITY DOCUMENT
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH
RULE 17.1(a) OR (b)

2 0 0 3 年 1 1 月 1 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



BEST AVAILABLE COPY

【書類名】 特許願

【整理番号】 2924030064

【提出日】 平成14年10月 8日

【あて先】 特許庁長官 殿

【国際特許分類】 H03F 3/45

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 小笹 正之

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 横山 明夫

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100077931

【弁理士】

【氏名又は名称】 前田 弘

【選任した代理人】

【識別番号】 100094134

【弁理士】

【氏名又は名称】 小山 廣毅

【選任した代理人】

【識別番号】 100110939

【弁理士】

【氏名又は名称】 竹内 宏

【選任した代理人】

【識別番号】 100110940

【弁理士】

【氏名又は名称】 嶋田 高久

【選任した代理人】

【識別番号】 100113262

【弁理士】

【氏名又は名称】 竹内 祐二

【選任した代理人】

【識別番号】 100115059

【弁理士】

【氏名又は名称】 今江 克実

【選任した代理人】

【識別番号】 100115510

【弁理士】

【氏名又は名称】 手島 勝

【選任した代理人】

【識別番号】 100115691

【弁理士】

【氏名又は名称】 藤田 篤史

【手数料の表示】

【予納台帳番号】 014409

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0006010

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 差動増幅器及び演算増幅器

【特許請求の範囲】

【請求項 1】 第 1 の信号及び第 2 の信号よりなる差動信号を入力する第 1 及び第 2 の入力端子と、

前記第 1 及び第 2 の入力端子に入力された第 1 及び第 2 の信号の電圧をシフトする第 1 及び第 2 のレベルシフト回路と、

前記第 1 及び第 2 のレベルシフト回路によりレベルシフトされた差動信号を電流に変換する第 1 の差動対及び第 1 の電流源と、

前記第 1 及び第 2 の入力端子に入力された差動信号を電流に変換する第 2 の差動対及び第 2 の電流源と、

第 3 の電流源及び基準電圧源と、

前記第 1 又は第 2 の入力端子に入力された第 1 又は第 2 の信号の電圧と前記基準電圧源の電圧とを比較する比較器と、

前記比較器の比較結果に応じて、前記第 3 の電流源の電流を前記第 1 の電流源又は第 2 の電流源に振り分けるスイッチ回路と、

前記第 1 の差動対の出力と前記第 2 の差動対の出力とを共通にした第 1 及び第 2 の出力端子とを備えた

ことを特徴とする差動増幅器。

【請求項 2】 前記第 1 及び第 2 の入力端子に入力された第 1 及び第 2 の信号の電圧をシフトする第 3 及び第 4 のレベルシフト回路を備え、

前記第 2 の差動対及び第 2 の電流源は、前記第 1 及び第 2 の入力端子に入力された差動信号に代えて、前記第 3 及び第 4 のレベルシフト回路によりレベルシフトされた差動信号を電流に変換する

ことを特徴とする請求項 1 記載の差動増幅器。

【請求項 3】 第 1 の信号及び第 2 の信号よりなる差動信号を入力する第 1 及び第 2 の入力端子と、

前記第 1 及び第 2 の入力端子に入力された第 1 及び第 2 の信号の電圧をシフトする第 1 及び第 2 のレベルシフト回路と、

基準電圧源と、

前記第 1 及び第 2 のレベルシフト回路でレベルシフトされた差動信号を前記基準電圧源の電圧で電圧制限する第 1 及び第 2 の電圧リミット回路と、

前記第 1 及び第 2 の電圧リミット回路により電圧制限された差動信号を電流に変換する第 1 の差動対及び第 1 の電流源と、

前記第 1 及び第 2 の入力端子に入力された差動信号を電流に変換する第 2 の差動対及び第 2 の電流源と、

第 3 の電流源と、

前記第 1 又は第 2 の入力端子に入力された第 1 又は第 2 の信号の電圧と前記基準電圧源の電圧とを比較する比較器と、

前記比較器の比較結果に応じて、前記第 3 の電流源の電流を前記第 1 の電流源又は第 2 の電流源に振り分けるスイッチ回路と、

前記第 1 の差動対の出力と前記第 2 の差動対の出力とを共通にした第 1 及び第 2 の出力端子とを備えた

ことを特徴とする差動増幅器。

【請求項 4】 前記第 1 及び第 2 の入力端子に入力された第 1 及び第 2 の信号の電圧をシフトする第 3 及び第 4 のレベルシフト回路を備え、

前記第 2 の差動対及び第 2 の電流源は、前記第 1 及び第 2 の入力端子に入力された差動信号に代えて、前記第 3 及び第 4 のレベルシフト回路によりレベルシフトされた差動信号を電流に変換する

ことを特徴とする請求項 3 記載の差動増幅器。

【請求項 5】 第 4 の電流源と、

前記第 1 又は第 2 の入力端子に入力された第 1 又は第 2 の信号の電圧と前記基準電圧源の電圧とを比較する第 2 の比較器と、

前記第 2 の比較器の比較結果に応じて、前記第 4 の電流源の電流を前記第 1 の電流源又は第 2 の電流源に振り分ける第 2 のスイッチ回路とを備えた

ことを特徴とする請求項 3 記載の差動増幅器。

【請求項 6】 第 4 の電流源と、

前記第 1 又は第 2 の入力端子に入力された第 1 又は第 2 の信号の電圧と前記基

準電圧源の電圧とを比較する第2の比較器と、

前記第2の比較器の比較結果に応じて、前記第4の電流源の電流を前記第1の電流源又は第2の電流源に振り分ける第2のスイッチ回路とを備えた

ことを特徴とする請求項4記載の差動増幅器。

【請求項7】 第1の信号及び第2の信号よりなる差動信号を入力する第1及び第2の入力端子と、

前記第1及び第2の入力端子に入力された第1及び第2の信号の電圧をシフトする第1及び第2のレベルシフト回路と、

基準電圧源と、

前記第1及び第2のレベルシフト回路でレベルシフトされた差動信号を前記基準電圧源の電圧で電圧制限する第1及び第2の電圧リミット回路と、

前記第1及び第2の電圧リミット回路により電圧制限された差動信号を電流に変換する第1の差動対及び第1の電流源と、

前記第1及び第2の入力端子に入力された第1及び第2の信号の電圧をシフトする第3及び第4のレベルシフト回路と、

前記第3及び第4のレベルシフト回路でレベルシフトされた差動信号を前記基準電圧源の電圧で電圧制限する第3及び第4の電圧リミット回路と、

前記第3及び第4の電圧リミット回路により電圧制限された差動信号を電流に変換する第2の差動対及び第2の電流源と、

前記第1の差動対の出力と前記第2の差動対の出力とを共通にした第1及び第2の出力端子と

を備えたことを特徴とする差動増幅器。

【請求項8】 前記比較器及びスイッチ回路は、

ゲートに前記第1又は第2の入力端子に入力された第1又は第2の信号を受け、第1のトランジスタと、

ゲートに前記基準電圧源が接続された第2のトランジスタとを備え、

前記第1及び第2のトランジスタは、その各一端が前記第3の電流源に共通に接続され、他端が各々前記第1及び第2の電流源に接続される

ことを特徴とする請求項1、2、3、4、5、6又は7記載の差動増幅器。

【請求項 9】 前記請求項 1、2、3、4、5、6 又は 7 記載の差動増幅器と

、
前記差動増幅器の電流出力を合成し、増幅する電流合成及び増幅回路と
を備えたことを特徴とする演算増幅器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電子機器や半導体集積回路の増幅器に使用される差動増幅器及び演算増幅器に関する。

【0002】

【従来の技術】

従来、電子機器や半導体集積回路の増幅器に使用される差動増幅器として、非特許文献 1 及び非特許文献 2 に開示されたものがある。

【0003】

図 29 は前記非特許文献 1 や非特許文献 2 に記載された従来の差動増幅器の回路図を示す。同図において、1、2 は差動信号を入力する第 1 及び第 2 の入力端子、M1 及び M2 は差動対を構成する n チャンネル MOS トランジスタであって、前記第 1 及び第 2 の入力端子に入力された信号をゲートに受ける。M3 は差動増幅器のテール電流源を構成する n チャンネル MOS トランジスタ、NGB はこの n チャンネル MOS トランジスタを電流源として動作させるためのゲート電圧印加端子、VSS は回路の負電源又は接地を印加するための端子、16、17 は前記差動対 M1、M2 により電流に変換された信号を出力する出力端子である。

【0004】

このように構成された差動増幅器の動作を説明する。第 1 及び第 2 の入力端子 1、2 に入力された差動信号の電圧差に応じて、n チャンネル MOS トランジスタ M3 の電流を 2 個の n チャンネル MOS トランジスタ M1、M2 で電流を分配する。差動信号を構成する 2 つの信号が等しい入力電圧を持つとき、電流の変換率はコンダクタンス g_m と定義され、差動対を構成する n チャンネル MOS トランジスタのコンダクタンス g_m を g_{mn} として、

$$g_{mn} = I_{ds} / (V_{gs} - V_{thn})$$

で表現される。ここで、 I_{ds} はMOSトランジスタに流れる電流、 V_{gs} はゲート-ソース間電圧、 V_{thn} はnチャンネルMOSトランジスタの閾値電圧である。

【0005】

しかしながら、入力信号の電圧が低い場合には、nチャンネルMOSトランジスタM3が線形領域で動作するために、流れる電流が減ってしまい、本来の動作が得られなくなる。従って、図29の従来回路では、入力動作電圧範囲が、テール電流源を構成するnチャンネルMOSトランジスタM3が飽和領域で動作する電圧範囲に限定されてしまうという欠点がある。

【0006】

図30は、図29の従来回路と同一機能をpチャンネルMOSトランジスタで構成した差動増幅器を示す。同図において、1、2は入力端子、M22及びM23は差動対を構成するpチャンネルMOSトランジスタ、M24は差動増幅器のテール電流源を構成するpチャンネルMOSトランジスタ、PGBはpチャンネルMOSトランジスタを電流源として動作させるためのゲート電圧印加端子、VDDは回路の正電源を印加するための端子、34、35は電流に変換された信号を出力する出力端子である。

【0007】

このように構成された差動増幅器においても、nチャンネルMOSトランジスタで構成した回路と同様に、電流の変換率はコンダクタンス g_m として得られる。従って、pチャンネルMOSトランジスタのコンダクタンス g_m を g_{mp} として、

$$g_{mp} = I_{ds} / (V_{sg} - V_{thp})$$

ここで、 I_{ds} はMOSトランジスタに流れる電流、 V_{sg} はソース-ゲート間電圧、 V_{thp} はpチャンネルMOSトランジスタの閾値電圧である。

【0008】

しかしながら、図30に示した差動増幅器では、入力電圧が高い場合には、pチャンネルMOSトランジスタM24が線形領域で動作するために、流れる電流

が減ってしまい、本来の動作が得られなくなる。従って、図30の差動増幅器でも、入力動作電圧範囲が、テール電流源を構成するpチャンネルMOSトランジスタM24が飽和領域で動作する電圧範囲に制限されてしまうという欠点を持っている。

【0009】

このように、図29及び図30に示した差動増幅器では、入力動作電圧範囲に制限があるという課題があった。

【0010】

そこで、このような課題を解消して全入力動作電圧範囲で動作する増幅器として、従来、特許文献1に記載されたものがある。

【0011】

図31は、前記特許文献1に記載の増幅器の部分である差動増幅器の回路図である。図31において、M6とM7は差動対を構成するnチャンネルMOSトランジスタ、M27とM28は差動対を構成するpチャンネルMOSトランジスタ、6、7、32、36は各々の差動増幅器を構成するテール電流源、27、38は差動増幅器のテール電流源の電流を打ち消すための電流源、M25とM26はテール電流源6、7の動作状態を検出し、電流源38をオンオフさせるnチャンネルMOSトランジスタ、M29とM30はテール電流源32、36の動作状態を検出し、電流源27をオンオフさせるpチャンネルMOSトランジスタである。

【0012】

更に、図32は前記特許文献1の増幅器の動作を説明するブロック図である。同図において、4はnチャンネルMOSトランジスタM1とM2とで構成される差動対、5はnチャンネルMOSトランジスタM6とM7とで構成される差動対、30はpチャンネルMOSトランジスタM27とM28とで構成される差動対、31はpチャンネルMOSトランジスタM22とM23とで構成される差動対、28はpチャンネルMOSトランジスタM29とM30とで構成されるスイッチ、29はnチャンネルMOSトランジスタM6とM7との動作により発生するスイッチ、37はnチャンネルMOSトランジスタM25とM26とにより構成

されるスイッチ、33はpチャンネルMOSトランジスタM22とM23との動作により発生するスイッチ、10は差動増幅器の出力端子から出力される電流を合成及び増幅する電流合成及び電流増幅回路、3は演算増幅器の出力である。

【0013】

このように構成された差動増幅器の動作を説明する。この特許文献1の増幅器では、nチャンネルMOSトランジスタによる差動対とpチャンネルMOSトランジスタによる差動対とを組み合わせる動作させることにより、既述した図29及び図30で説明した従来回路の課題である差動増幅器の入力電圧動作範囲の制限を解決している。つまり、この特許文献1の増幅器では、回路の負電源VSS近傍電圧では差動対30と差動対31が動作し、中間電圧では差動対5と差動対30が動作し、回路の正電源VDD近傍の高電圧では差動対4と差動対5が動作する。従って、差動増幅器の変換率 g_m は3種の場合があり、接地電位VSS近傍では、

$g_m = 2 \cdot g_{mp}$ で表現され、

中間電圧では、

$g_m = g_{mn} + g_{mp}$ で表現され、

電源電圧VDD近傍では、

$g_m = 2 \cdot g_{mn}$ で表現される。

【0014】

従って、前記特許文献1の増幅器を構成する差動増幅器は、全入力電圧範囲で動作できるものの、差動増幅器の変換率 g_m を一定に保つためには、

$$g_{mn} = g_{mp}$$

の関係が必要条件となる。これは、拡散プロセスのばらつきを加味すると、必ずしも守ることはできない。従って、特許文献1の増幅器を構成する差動増幅器では、全入力電圧範囲で動作可能であるものの、全入力電圧範囲で変換率を一定に保つためには、nチャンネルMOSトランジスタ特性とpチャンネルMOSトランジスタ特性とを同等にする必要性が生じる欠点がある。尚、この特許文献1の差動増幅器では、差動増幅器の出力形式が、nチャンネルMOSトランジスタによる差動対ではVDD近傍の出力電圧に、pチャンネルMOSトランジスタによ

る差動対ではVSS近傍の動作電圧になるため、各々、動作電圧点の異なる電流を合成しなければならず、電流合成が複雑になる欠点もある。

【0015】

また、従来、全入力動作電圧範囲で動作する増幅器として、特許文献2に記載されたものがある。

【0016】

図33は、前記特許文献2に記載の演算増幅器の部分である差動増幅器の回路図を示す。図33において、M5、M10は入力信号をレベルシフトするpチャンネルMOSトランジスタ、M1とM2は差動対を構成するnチャンネルMOSトランジスタ、M6とM7は他の差動対を構成するnチャンネルMOSトランジスタ、6、7は各々の差動増幅器を構成するテール電流源、39、40はpチャンネルMOSトランジスタを駆動する電流源である。

【0017】

更に、図34は前記図33に具体的に示した特許文献2の演算増幅器の動作を説明するためのブロック図である。同図において、8、9は差動信号の電圧レベルを移動するためのレベルシフト回路、4、5はnチャンネルMOSトランジスタで構成される差動対、10は差動増幅器の出力端子から出力される電流を合成及び増幅する回路、3は演算増幅器の出力である。

【0018】

このように構成された特許文献2の差動増幅器の動作を説明する。この特許文献2の演算増幅器では、nチャンネルMOSトランジスタによる差動対とレベルシフト回路とを組み合わせ動作させ、図29において説明した従来の課題である差動増幅器の入力動作電圧範囲の制限を解決している。つまり、特許文献2の演算増幅器では、回路の負電源VSS近傍電圧では差動対5が動作し、中間電圧では差動対4と差動対5が動作し、回路の正電源VDD近傍の高電圧では差動対4が動作する。従って、差動増幅器の変換率 g_m は3つの場合があり、接地電位VSS近傍では、

$g_m = g_{mn}$ で表現され、

中間電圧では、

$g_m = 2 \cdot g_{mn}$ で表現され、

電源電位 V_{DD} 近傍では、

$g_m = g_{mn}$

で表現される。従って、前記特許文献 2 の演算増幅器を構成する差動増幅器では、全入力電圧範囲で動作できるが、差動対 4 と差動対 5 との変換率を各々変更したとしても、差動増幅器の変換率を一定に保つことはできない。従って、特許文献 2 の演算増幅器を構成する差動増幅器は、全入力電圧範囲で変換率を一定に保つことができないという欠点を持つ。

【0019】

そこで、従来、全入力電圧範囲で動作できて、しかも、全入力電圧範囲で変換率を一定に保持できる差動増幅器として、特許文献 3 に記載されたものがある。

【0020】

図 3 5 は、前記特許文献 3 の演算増幅器を構成する差動増幅器の回路図を示す。同図において、M31、M33、M35、M36、M37 は差動信号の電圧レベルによる電流変化を測定するための差動増幅器及びダイオード負荷、M32、M34、M38、M39 は電流引き算回路を構成する p チャンネル MOS トランジスタ、M40、M41 は電流引き算回路を構成する n チャンネル MOS トランジスタである。他の回路構成は図 3 3 と同様である。

【0021】

図 3 6 は、前記特許文献 3 の演算増幅器の動作を説明するブロック図を示す。同図において、41 は差動信号の電圧レベルによる電流変化を測定するための電流測定回路、42 は電流測定回路 41 で検出した電流を本来の電流から引き算するための電流引き算回路、M8 は前記電流引き算回路 42 の出力により制御されるテール電流源である。

【0022】

このように構成された特許文献 3 の差動増幅器の動作を説明する。この特許文献 3 の演算増幅器では、n チャンネル MOS トランジスタによる差動対とレベルシフト回路とを組み合わせで動作させ、前記図 2 9 において説明した従来の課題である差動増幅器の入力動作電圧範囲の制限を解決している。つまり、この特許

文献3の演算増幅器では、回路の負電源VSS近傍電圧では差動対5が動作し、中間電圧では電流検出回路41及び電流引き算回路42によりnチャンネルMOSトランジスタM8の電流を止めて電流差動対4のみが動作し、回路の正電源VDD近傍の高電圧でも差動対4が動作する。従って、差動増幅器の変換率 g_m は2つの場合があり、接地電位VSS近傍では、

$$g_m = g_{m n}$$

中間電圧及び電源電位VDD近傍では、

$$g_m = g_{m n}$$

となる。

【0023】

従って、前記特許文献3の演算増幅器を構成する差動増幅器は、全入力電圧範囲で動作でき、しかも差動増幅器の変換率を一定に保持することができる。

【0024】

【非特許文献1】

「半導体回路設計技術」（玉井徳迪監修、日経BP社出版、1版、308ページ）

【非特許文献2】

Analysis and Design of Analog Integrated Circuits (Paul R. Gray, Robert G. Meyer著、John Wiley & Sons出版、Third Edition、244ページ)

【特許文献1】

特表平11-500883号公報

【特許文献2】

特開平8-18355号公報

【特許文献3】

特開平8-18354号公報

【0025】

【発明が解決しようとする課題】

しかしながら、前記特許文献3の差動増幅器では、高速で大振幅の入力信号には素早く応答することができない欠点があった。即ち、電流測定回路41及び電

流引き算回路 42 にカレントミラー回路（（M31 と M32）、（M38 と M39））が用いられており、このカレントミラー回路は、そのオフからオンへの動作時には、所期通りの動作速度が確保されるが、オンからオフへの動作時には、MOS トランジスタのゲート容量に蓄積された電荷を素早く抜くことができないために、動作速度が遅くなる欠点がある。このように、特許文献 3 の演算増幅器を構成する差動増幅器では、高速に動作できない欠点があった。

【0026】

本発明は、前記従来課題を解決するものであり、その目的は、差動増幅器及び演算増幅器において、信号を増幅する場合に全入力動作電圧範囲において利得が等しく、且つ、高速に動作することができるようにすることにある。

【0027】

【課題を解決するための手段】

前記の目的を達成するために、本発明の差動増幅器及び演算増幅器では、前記図 34 に示した特許文献 2 の増幅器のように、2 つの差動対と、電流源と、2 個のレベルシフト回路を備えた構成に対して、カレントミラー回路を有する電流測定回路や電流引き算回路を使用せず、これに代えて、カレントミラー回路を備えない比較器及びスイッチでもって同様の機能を奏する増幅器を構成することとする。

【0028】

即ち、請求項 1 記載の発明の差動増幅器は、第 1 の信号及び第 2 の信号よりなる差動信号を入力する第 1 及び第 2 の入力端子と、前記第 1 及び第 2 の入力端子に入力された第 1 及び第 2 の信号の電圧をシフトする第 1 及び第 2 のレベルシフト回路と、前記第 1 及び第 2 のレベルシフト回路によりレベルシフトされた差動信号を電流に変換する第 1 の差動対及び第 1 の電流源と、前記第 1 及び第 2 の入力端子に入力された差動信号を電流に変換する第 2 の差動対及び第 2 の電流源と、第 3 の電流源及び基準電圧源と、前記第 1 又は第 2 の入力端子に入力された第 1 又は第 2 の信号の電圧と前記基準電圧源の電圧とを比較する比較器と、前記比較器の比較結果に応じて、前記第 3 の電流源の電流を前記第 1 の電流源又は第 2 の電流源に振り分けるスイッチ回路と、前記第 1 の差動対の出力と前記第 2 の差

動対の出力とを共通にした第1及び第2の出力端子とを備えたことを特徴とする。

【0029】

請求項2記載の発明は、前記請求項1記載の差動増幅器において、前記第1及び第2の入力端子に入力された第1及び第2の信号の電圧をシフトする第3及び第4のレベルシフト回路を備え、前記第2の差動対及び第2の電流源は、前記第1及び第2の入力端子に入力された差動信号に代えて、前記第3及び第4のレベルシフト回路によりレベルシフトされた差動信号を電流に変換することを特徴とする。

【0030】

請求項3記載の発明の差動増幅器は、第1の信号及び第2の信号よりなる差動信号を入力する第1及び第2の入力端子と、前記第1及び第2の入力端子に入力された第1及び第2の信号の電圧をシフトする第1及び第2のレベルシフト回路と、基準電圧源と、前記第1及び第2のレベルシフト回路でレベルシフトされた差動信号を前記基準電圧源の電圧で電圧制限する第1及び第2の電圧リミット回路と、前記第1及び第2の電圧リミット回路により電圧制限された差動信号を電流に変換する第1の差動対及び第1の電流源と、前記第1及び第2の入力端子に入力された差動信号を電流に変換する第2の差動対及び第2の電流源と、第3の電流源と、前記第1又は第2の入力端子に入力された第1又は第2の信号の電圧と前記基準電圧源の電圧とを比較する比較器と、前記比較器の比較結果に応じて、前記第3の電流源の電流を前記第1の電流源又は第2の電流源に振り分けるスイッチ回路と、前記第1の差動対の出力と前記第2の差動対の出力とを共通にした第1及び第2の出力端子とを備えたことを特徴とする。

【0031】

請求項4記載の発明は、前記請求項3記載の差動増幅器において、前記第1及び第2の入力端子に入力された第1及び第2の信号の電圧をシフトする第3及び第4のレベルシフト回路を備え、前記第2の差動対及び第2の電流源は、前記第1及び第2の入力端子に入力された差動信号に代えて、前記第3及び第4のレベルシフト回路によりレベルシフトされた差動信号を電流に変換することを特徴と

する。

【0032】

請求項5記載の発明は、前記請求項3記載の差動増幅器において、第4の電流源と、前記第1又は第2の入力端子に入力された第1又は第2の信号の電圧と前記基準電圧源の電圧とを比較する第2の比較器と、前記第2の比較器の比較結果に応じて、前記第4の電流源の電流を前記第1の電流源又は第2の電流源に振り分ける第2のスイッチ回路とを備えたことを特徴とする。

【0033】

請求項6記載の発明は、前記請求項4記載の差動増幅器において、第4の電流源と、前記第1又は第2の入力端子に入力された第1又は第2の信号の電圧と前記基準電圧源の電圧とを比較する第2の比較器と、前記第2の比較器の比較結果に応じて、前記第4の電流源の電流を前記第1の電流源又は第2の電流源に振り分ける第2のスイッチ回路とを備えたことを特徴とする。

【0034】

請求項7記載の発明の差動増幅器は、第1の信号及び第2の信号よりなる差動信号を入力する第1及び第2の入力端子と、前記第1及び第2の入力端子に入力された第1及び第2の信号の電圧をシフトする第1及び第2のレベルシフト回路と、基準電圧源と、前記第1及び第2のレベルシフト回路でレベルシフトされた差動信号を前記基準電圧源の電圧で電圧制限する第1及び第2の電圧リミット回路と、前記第1及び第2の電圧リミット回路により電圧制限された差動信号を電流に変換する第1の差動対及び第1の電流源と、前記第1及び第2の入力端子に入力された第1及び第2の信号の電圧をシフトする第3及び第4のレベルシフト回路と、前記第3及び第4のレベルシフト回路でレベルシフトされた差動信号を前記基準電圧源の電圧で電圧制限する第3及び第4の電圧リミット回路と、前記第3及び第4の電圧リミット回路により電圧制限された差動信号を電流に変換する第2の差動対及び第2の電流源と、前記第1の差動対の出力と前記第2の差動対の出力とを共通にした第1及び第2の出力端子とを備えたことを特徴とする。

【0035】

請求項8記載の発明は、前記請求項1、2、3、4、5、6又は7記載の差動

増幅器において、前記比較器及びスイッチ回路は、ゲートに前記第1又は第2の入力端子に入力された第1又は第2の信号を受ける第1のトランジスタと、ゲートに前記基準電圧源が接続された第2のトランジスタとを備え、前記第1及び第2のトランジスタは、その各一端が前記第3の電流源に共通に接続され、他端が各々前記第1及び第2の電流源に接続されることを特徴とする。

【0036】

請求項9記載の発明の演算増幅器は、前記請求項1、2、3、4、5、6又は7記載の差動増幅器と、前記差動増幅器の電流出力を合成し、増幅する電流合成及び増幅回路とを備えたことを特徴とする。

【0037】

以上の構成により、請求項1～6、8及び9記載の発明では、差動信号を構成する第1又は第2の信号のうち一方の例えば第1の信号の電圧が基準電圧源の電圧値未満の際には、比較器がこれを検知して、スイッチ回路が例えば第1の電源側側に切り替わり、第3の電流源の電流が第1の電流源に流れて、第1の差動対に電流が流れることが阻止される。その結果、入力された差動信号は第2の差動対のみを経て出力される。一方、第1の信号の電圧が基準電圧源の電圧を越えた状況では、スイッチ回路が今度は第2の電源側側に切り替わり、第3の電流源の電流が第2の電流源に流れて、第2の差動対に電流が流れることが阻止されるので、入力された差動信号は第1の差動対のみを経て出力される。従って、第1及び第2の差動対を同一極性のトランジスタで構成すると、全入力動作電圧範囲において利得が等しくなる。しかも、比較器及びスイッチ回路は、従来回路のようにカレントミラー回路を持たない構成であるので、高速な切り換え動作が行われて、高速に動作する。

【0038】

また、請求項7記載の発明では、前記比較器及びスイッチ回路に代えて、これらと同様の動作を行う電圧リミット回路が設けられているので、請求項1～6記載の発明と同様に、全入力動作電圧範囲において利得が等しく、且つ高速に動作する。

【0039】

【発明の実施の形態】

以下、本発明の実施の形態について、図面を参照しながら説明する。

【0040】**(第1の実施の形態)**

図1は第1の実施の形態における演算増幅器のブロック図を示すものである。

【0041】

図1において、1、2は第1の信号及び第2の信号よりなる差動信号を入力する第1及び第2の入力端子であって、この入力端子1、2に入力された第1及び第2の信号は、各々、pチャネルMOSトランジスタにより構成される第1及び第2のレベルシフト回路8、9により、その電圧レベルがシフトされる。5はnチャネルMOSトランジスタにより構成される第1の差動対、4は前記第1の差動対5と同一極性のnチャネルMOSトランジスタにより構成される第2の差動対、7は前記第1の差動対5用の第1の電流源、6は前記第2の差動対4用の第2の電流源であって、前記第1の電流源7と等量の電流を供給する。前記第1の差動対5及び第1の電流源7は、前記第1及び第2のレベルシフト回路8、9によりレベルシフトされた差動信号を電流に変換し、前記第2の差動対4及び第2の電流源6は、前記第1及び第2の入力端子1、2に入力された差動信号を電流に変換する。

【0042】

また、11は前記第1及び第2の電流源7、6と等量の電流を供給する第3の電流源、12は前記第3の電流源11の電流を第1の電流源7又は第2の電流源6に振り分けるスイッチ回路、13はスイッチ回路12を切換動作させるための比較器、15は電源電圧VDDと接地電位VSSとの間の所定電位を持つ基準電圧源であって、この基準電圧源15は前記比較器13に判定基準を与えるように入力端子14を介して比較器13の一端子に接続される。比較器13の+端子には、前記第1の入力端子1に入力される第1の信号（差動信号を構成する2つの信号のうち一方の信号）が入力される。前記比較器13は、第1の信号の電圧が基準電圧源15の電圧未満の際には、スイッチ回路12を第2の電流源6側に切り換え、一方、第1の信号の電圧が基準電圧源15の電圧以上の際には、スイッ

チ回路 12 を第 1 の電流源 7 側に切り換えるよう、スイッチ回路 12 を制御する。更に、図 1 において、16、17 は前記第 1 及び第 2 の差動対 5、4 の出力を共通にした第 1 及び第 2 の出力端子である。以上により、差動増幅器を構成する。

【0043】

更に、図 1 において、10 は前記差動増幅器の出力端子 16、17 から出力される電流を合成及び増幅する電流合成及び増幅回路であり、この電流合成及び増幅回路 10 と前記差動増幅回路とを含めて演算増幅器を構成する。尚、図 1 において、3 は電流合成及び増幅回路 10 の出力端子であって、演算増幅器の出力端子でもある。

【0044】

図 2 は、本実施の形態の差動増幅器の具体的な回路構成を示す。同図では、2 個の p チャンネル MOS トランジスタ M9、M10 により第 1 のレベルシフト回路 8 を構成し、他の 2 個の p チャンネル MOS トランジスタ M4、M5 により第 2 のレベルシフト回路 9 を構成する。また、2 個の n チャンネル MOS トランジスタ M6、M7 により第 1 の差動対 5 を、他の 2 個の n チャンネル MOS トランジスタ M1、M2 により第 2 の差動対 4 を、n チャンネル MOS トランジスタ M8 により第 1 の電流源 7 を、n チャンネル MOS トランジスタ M3 により第 2 の電流源 6 を各々構成する。

【0045】

更に、図 2 において、p チャンネル MOS トランジスタ（第 1 のトランジスタ）M12 と、他の p チャンネル MOS トランジスタ（第 2 のトランジスタ）M13 とにより、比較器 13 及びスイッチ回路 12 を構成する。また、p チャンネル MOS トランジスタ M11 により第 3 の電流源 11 を構成する。前記比較器 13 及びスイッチ回路 12 において、p チャンネル MOS トランジスタ M12 のゲートには、第 1 の入力端子 1 の第 1 の信号が入力され、他の p チャンネル MOS トランジスタ M13 のゲートには入力端子 14 を経て基準電圧源 15（図 2 では図示せず）が接続される。また、2 個の p チャンネル MOS トランジスタ M12、M13 の各ソース（一端）は、第 3 の電流源 11 の p チャンネル MOS トランジ

スタM11のドレインに共通に接続され、pチャンネルMOSトランジスタM12のドレイン（他端）は第2の電流源6に、他のpチャンネルMOSトランジスタM13のドレイン（他端）は第1の電流源7に各々接続される。

【0046】

以上のように構成された本実施の形態の差動増幅器の動作を、以下、図1及び図2を用いて説明する。

【0047】

図1において、入力端子1の第1の信号の電圧が接地電位VSS近傍にあって基準電圧源15の電圧よりも低いときには、比較器13及びスイッチ回路12により、第3の電流源11の電流は第2の電流源6に流れ込む。これにより、第2の電流源6の電流が第3の電流源11の電流により相殺されて、第2の差動対4には電流が流れない。この際、入力された差動信号はレベルシフト回路8、9、第1の差動対5、電流合成及び増幅器10を通り、増幅されて出力端子3から出力される。

【0048】

このとき、差動増幅器の変換率 g_m は、第1及び第2の差動対5、4を構成するnチャンネルMOSトランジスタのコンダクタンスを g_{mn} として、接地電位VSS近傍で、

$$g_m = g_{mn}$$

で表現される。入力端子1の第1の信号の電圧が基準電圧源15の電圧を超えるまでは前記の動作が継続される。

【0049】

次に、入力端子1の第1の電圧が基準電圧源15の電圧を超えると、比較器13及びスイッチ回路12の動作が反転し、第3の電流源11の電流が今度は第1の電流源7に流れ込む。これにより、第1の電流源7の電流が第3の電流源11の電流により相殺されて、第1の差動対5には電流が流れない。この際、入力された差動信号は第1の差動対4、電流合成及び増幅器10を通過して増幅されて、出力端子3から出力される。

【0050】

このとき、差動増幅器の変換率 g_m は、

$$g_m = g_{mn}$$

となり、電源電圧 V_{DD} 近傍まで動作することができる。従って、本実施の形態では、第1の信号の電圧が接地電位 V_{SS} から電源電圧 V_{DD} までの全入力動作電圧範囲において利得が等しい。

【0051】

更に、比較器13は、従来備えるカレントミラー回路とは異なり、高速な切り換え動作が可能であるので、演算増幅器は高速に動作できる。

【0052】

以下、本実施の形態の差動増幅器の更に詳細な動作を図2を用いて説明する。入力端子1の第1の信号の電圧が接地電位 V_{SS} 近傍のときには、pチャンネルMOSトランジスタM12が導通し、pチャンネルMOSトランジスタM11の電流がnチャンネルMOSトランジスタM3に流れ込む。これにより、nチャンネルMOSトランジスタM3の電流がpチャンネルMOSトランジスタM11の電流により相殺され、nチャンネルトランジスタM1、M2には電流が流れない。従って、入力された差動信号は、pチャンネルMOSトランジスタM5、M10、nチャンネルMOSトランジスタM6、M7を通り、出力端子16、17から差動増幅器の電流出力として出力される。このとき、差動増幅器の変換率 g_m は、 V_{SS} 近傍で、

$$g_m = g_{mn}$$

となる。入力端子1の第1の信号の電圧が基準電圧源15の電圧を超えるまでは前記の動作が継続される。

【0053】

次に、入力端子1の第1の信号の電圧が基準電圧源15の電圧を超えると、pチャンネルMOSトランジスタM13が導通し、pチャンネルMOSトランジスタM11の電流がnチャンネルMOSトランジスタM8に流れ込む。これにより、nチャンネルMOSトランジスタM8の電流がpチャンネルMOSトランジスタM11の電流により相殺されて、nチャンネルトランジスタM6、M7には電流が流れない。従って、入力された差動信号は、nチャンネルMOSトランジス

タM1、M2を通して、出力端子16、17から差動増幅器の電流出力として出力される。このとき、差動増幅器の変換率 g_m は、

$$g_m = g_{mn}$$

となり、第1の信号の電圧が電源電圧VDD近傍までこの状態で動作することができる。

【0054】

ここで、比較器13及びスイッチ回路12は、図2から判るように、カレントミラー回路の構成を有しないので、これ等を構成するpチャンネルMOSトランジスタM12、M13は高速な切り換え動作が可能であり、従って差動増幅器は高速に動作する。

【0055】

尚、図2の差動増幅器では、基準電圧源15の電圧の選定については、動作条件として、pチャンネルMOSトランジスタM11が飽和領域で動作し、且つnチャンネルMOSトランジスタM1、M2が動作する際にはnチャンネルMOSトランジスタM3が飽和領域で動作し、一方、nチャンネルMOSトランジスタM6、M7が動作する際にはnチャンネルMOSトランジスタM8が飽和領域で動作するように、基準電圧源15の電圧を選べば良い。また、pチャンネルMOSトランジスタM5、M10によるレベルシフト電圧量は、nチャンネルMOSトランジスタM8が飽和動作で動作するように、pチャンネルMOSトランジスタM5、M10及びnチャンネルMOSトランジスタM6、M7のゲート幅及びゲート長のサイズを選べば良い。

【0056】

本実施の形態では、第1の入力端子1の第1の信号を比較器13の入力端子に入力したが、第2の入力端子2の第2の信号を比較器13の入力端子に入力しても良い。その理由は、本実施の形態の差動増幅器を演算増幅器に使用した場合には、第1の入力端子1の第1の信号の電圧と第2の入力端子2の第2の信号の電圧とは演算増幅器のイマジナリショートで等しくなるので、第1及び第2の信号の電圧の何れを使用しても比較検出できるからである。

【0057】

更に、本実施の形態では、 n チャンネルMOSトランジスタで構成された差動対4、5を用いて差動増幅器を構成したが、 p チャンネルMOSトランジスタで構成された差動対を用いて構成しても良いのは勿論である。この構成の演算増幅器のブロック図を図3に、その具体的回路構成の差動増幅器を図4に示す。

【0058】

(第2の実施の形態)

次に、第2の実施の形態の演算増幅器を説明する。

【0059】

図5は本実施の形態の演算増幅器のブロック図を示す。同図の演算増幅器は、図1に示した演算増幅器の構成に対して、更に、第1及び第2の入力端子1、2の差動信号の電圧レベルをシフトするために n チャンネルMOSトランジスタにより構成される第3及び第4のレベルシフト回路18、19を追加配置したものである。このレベルシフト回路18、19により電圧レベルシフトされた差動信号は第2の差動対4に入力されて、電流に変換される。

【0060】

図6は、前記図5に示した差動増幅器の具体的回路図を示す。同図では、第3のレベルシフト回路18は、2個の n チャンネルMOSトランジスタM14、M15により構成され、第4のレベルシフト回路19は他の2個の n チャンネルMOSトランジスタM16、M17により構成される。

【0061】

本実施の形態の演算増幅器では、入力端子1の第1の信号の電圧が基準電圧源15の電圧未満の際には、第1及び第2のレベルシフト回路8、9及び第1の差動対5を経て増幅される一方、第1の信号の電圧が基準電圧源15の電圧以上の際には、第3及び第4のレベルシフト回路18、19及び第2の差動対4を経て増幅される。従って、全入力動作電圧範囲で差動信号は何れか1対のレベルシフト回路8、9又は18、19を経るので、全入力動作電圧範囲での利得損失や周波数特性の劣化が均等になる。

【0062】

本実施の形態の演算増幅器では、全入力動作電圧範囲で利得が等しく、且つ高

速動作する点は前記第 1 の実施の形態と同様である。

【0063】

また、本実施の形態でも、第 2 の入力端子 2 の第 2 の信号を比較器 13 の入力端子に入力しても良いのは勿論のこと、差動対 4、5 を p チャンネル MOS トランジスタで構成した回路構成を採用しても良い。差動対 4、5 を p チャンネル MOS トランジスタで構成したブロック構成を図 7 に、その具体的回路構成を図 8 に示す。

【0064】

(第 3 の実施の形態)

続いて、本発明の第 3 の実施の形態の演算増幅器を説明する。

【0065】

図 9 は本実施の形態の演算増幅器のブロック構成を示す。同図の演算増幅器では、図 1 に示した演算増幅器の構成に対して、更に第 1 及び第 2 の電圧リミット回路 20、21 を追加したものである。

【0066】

前記第 1 及び第 2 の電圧リミット回路 20、21 は、基準電圧源 15 に接続されていて、第 1 及び第 2 のレベルシフト回路 8、9 により電圧レベルシフトされた差動信号の電圧を前記基準電圧源 15 の電圧未満に制限し、この電圧制限した差動信号を第 1 の差動対 5 に出力する。

【0067】

図 10 は本実施の形態の差動増幅器の具体的回路構成を示す。同図では、第 1 のレベルシフト回路 8、スイッチ回路 12、比較器 13、第 3 の電流源 11 及び第 1 の電圧リミット回路 20 が、3 個の p チャンネル MOS トランジスタ M9、M10、M19 により構成されている。また、第 2 のレベルシフト回路 9 及び第 2 の電圧リミット回路 21 が、3 個の p チャンネル MOS トランジスタ M4、M5、M18 により構成されている。即ち、図 10 の差動増幅器では、p チャンネル MOS トランジスタ M9 が図 2 に示した p チャンネル MOS トランジスタ M11 (第 3 の電流源 11) を兼用し、p チャンネル MOS トランジスタ M10、M19 が図 2 に示した p チャンネル MOS トランジスタ M12、M13 (スイッチ

回路 12 及び比較器 13) を兼用している。尚、本実施の形態では、既述の通り、2 個の p チャンネル MOS トランジスタ M10、M19 にスイッチ回路 12 及び比較器 13 の機能を持たせたが、これに代えて、2 個の p チャンネル MOS トランジスタ M5、M18 にスイッチ回路 12 及び比較器 13 の機能を持たせても良いのは勿論である。

【0068】

従って、本実施の形態では、特に、入力端子 1 の第 1 の信号の電圧が基準電圧源 15 の電圧を超えている際には、比較器 13 及びスイッチ回路 12 により第 1 の電流源 7 側が選択されて、第 1 の電流源 7 の電流が第 3 の電流源 11 の電流により相殺されて、第 1 の差動対 5 には電流が流れないので、入力された差動信号は第 1 の差動対 4 により電流に変換されると共に、第 1 及び第 2 のレベルシフト回路 8、9 でレベルシフトされる差動信号の電圧が第 1 及び第 2 の電圧リミット回路 20、21 を構成する p チャンネル MOS トランジスタ M18、M19 により基準電圧源 15 の電圧に制限される。従って、このような第 1 の信号の電圧が基準電圧源 15 の電圧を超えている際での第 1 の差動対 5 の動作が確実に禁止される。

【0069】

尚、本実施の形態でも、第 2 の入力端子 2 の第 2 の信号を比較器 13 の入力端子に入力しても良いのは勿論のこと、差動対 4、5 を p チャンネル MOS トランジスタで構成した回路構成を採用しても良い。この差動対 4、5 を p チャンネル MOS トランジスタで構成したブロック構成を図 11 に、その具体的回路構成を図 12 に示す。

【0070】

(第 4 の実施の形態)

次に、本発明の第 4 の実施の形態の演算増幅器を説明する。

【0071】

図 13 は本実施の形態の演算増幅器を示す。前記第 3 の実施の形態では、第 1 及び第 2 の電圧リミット回路 20、21 を図 1 に示した第 1 の実施の形態の演算増幅器の回路構成に付加したが、本実施の形態では、この第 1 及び第 2 の電圧リ

ミット回路 20、21 を図 5 に示した第 2 の実施の形態の演算増幅器の回路構成に付加したものである。その他の構成は、図 5 と同一である。図 14 は図 13 の演算増幅器の具体的回路構成を示す。

【0072】

従って、本実施の形態では、全入力動作電圧範囲において利得が等しく且つ比較器 13 及びスイッチ回路 12 により高速な切り換え動作を可能にして高速に動作する差動増幅器を得ることができると共に、2 対のレベルシフト回路 8、9 及び 18、19 を備えて全入力動作電圧範囲での利得損失や周波数特性の劣化を均等にでき、更には、第 1 の信号の電圧が基準電圧源 15 の電圧を超えている際での第 1 の差動対 5 の動作を禁止して、切換動作を確実にできる。

【0073】

尚、本実施の形態のように差動対 4、5 を n チャンネル MOS トランジスタで構成するのに代えて、p チャンネル MOS トランジスタで構成したブロック構成を図 15 に、その具体的回路構成を図 16 に示す。

【0074】

(第 5 の実施の形態)

更に、本発明の第 5 の実施の形態の演算増幅器を説明する。

【0075】

図 17 は本実施の形態の演算増幅器のブロック構成を示す。同図の演算増幅器では、図 9 に示した第 3 の実施の形態の演算増幅器の構成に対して、更に、第 4 の電流源 22 と、第 2 のスイッチ回路 23 と、第 2 の比較器 24 とを備えたものである。前記第 2 のスイッチ回路 23 は、第 1 のスイッチ回路 11 と同様に、第 4 の電流源 22 の電流を第 1 の電流源 7 と第 2 の電流源 6 とに振り分ける。また、前記第 2 の比較器 24 は、前記第 2 のスイッチ回路 23 を切換動作させ、その一端子には、入力端子 14 を経て基準電圧源 15 が接続される一方、+ 端子には、第 1 の比較器 13 の + 端子に第 1 の入力端子 1 の第 1 の信号が入力されるのとは異なって、第 2 の入力端子 2 に入力される第 2 の信号が入力される。

【0076】

図 18 は本実施の形態の差動増幅器の具体的回路構成を示す。同図では、3 個

のpチャンネルMOSトランジスタM4、M5、M18により、第2のレベルシフト回路9、第2の電圧リミット回路21、第4の電流源22、第2のスイッチ回路23及び第2の比較器24が構成されている。

【0077】

従って、本実施の形態では、特に、第1及び第2の入力端子1、2の第1及び第2の信号の電圧が接地電位VSS近傍のときには、第1及び第2の比較器13、24及び第1及び第2のスイッチ回路12、23により、第3及び第4の電流源11、22の電流が第2の電流源6に流れ込んで、第2の電流源6の電流が第3及び第4の電流源11、22の電流により相殺され、第2の差動対4には電流が流れないので、入力された差動信号は第1の差動対5のみで電流に変換される。一方、第1及び第2の入力端子1、2の第1及び第2の信号の電圧が基準電圧源15の電圧を越えると、第1及び第2の比較器13、24及びスイッチ回路12、23により、第3及び第4の電流源11、22の電流が第1の電流源7に流れ込んで第1の電流源7の電流が相殺され、第1の差動対5には電流が流れず、入力された差動信号は第2の差動対4のみで電流に変換される。他の動作及び効果は図1及び図9の演算増幅器と同様であるので、その説明を省略する。

【0078】

尚、本実施の形態のように差動対4、5をnチャンネルMOSトランジスタで構成するのに代えて、pチャンネルMOSトランジスタで構成したブロック構成を図19に、その具体的回路構成を図20に示す。

【0079】

(第6の実施の形態)

次に、本発明の第6の実施の形態の演算増幅器を説明する。

【0080】

図21は本実施の形態の差動増幅器のブロック構成を示す。本実施の形態の演算増幅器は、図13に示した第4の実施の形態の演算増幅器に対して、更に、前記図17に示した第5の実施の形態と同様に、第4の電流源22と、第2のスイッチ回路23と、第2の比較器24とを追加したものである。その他の構成は図13の演算増幅器と同一である。図22は図21の演算増幅器の具体的回路構成

を示す。

【0081】

従って、本実施の形態では、第4の実施の形態と第5の実施の形態とを合わせた作用及び効果が得られる。

【0082】

尚、本実施の形態のように差動対4、5をnチャンネルMOSトランジスタで構成するのに代えて、pチャンネルMOSトランジスタで構成したブロック構成を図23に、その具体的回路構成を図24に示す。

【0083】

(第7の実施の形態)

更に、本発明の第7の実施の形態の演算増幅器を図25に示す。本実施の形態の演算増幅器は、図13に示した第4の実施の形態の演算増幅器において、第3の電流源11、スイッチ回路12及び比較器13を削除し、これに代えて第3及び第4の電圧リミット回路25、26を追加したものである。即ち、本実施の形態では、第3の電流源11の電流を第1又は第2の電流源7、6に流して電流を相殺する構成を採用せず、2対の電圧リミット回路20、21及び25、26により、第1の差動対5と第2の差動対4の電流変換作用を切り換えるようにしたものである。

【0084】

前記第3及び第4の電圧リミット回路25、26は、第3及び第4のレベルシフト回路18、19で電圧レベルシフトされた差動信号の電圧を基準電圧源15の電圧以上に制限し、この電圧制限した差動信号を第1の差動対4に出力して電流に変換させる。

【0085】

図26は、図25に示した演算増幅器のうち差動増幅器の具体的回路構成を示す。同図では、3個のpチャンネルMOSトランジスタM9、M10、M19により第1のレベルシフト回路8及び第1の電圧リミット回路20を構成し、3個のpチャンネルMOSトランジスタM4、M5、M18により第2のレベルシフト回路9及び第2の電圧リミット回路21を構成する。また、3個のnチャネ

ルMOSトランジスタM14、M15、M20により第3のレベルシフト回路18及び第3の電圧リミット回路25を構成し、3個のnチャンネルMOSトランジスタM16、M17、M21により第4のレベルシフト回路19及び第3の電圧リミット回路26を構成する。

【0086】

以上のように構成された本実施の形態の差動増幅器の動作を、以下、図25及び図26を用いて説明する。

【0087】

図25において、第1及び第2の入力端子1、2の差動信号を構成する第1及び第2の信号の各電圧が基準電圧源15の電圧よりも低い際には、入力された差動信号は第1及び第2のレベルシフト回路8、9を通り、更に第1及び第2の電圧リミット回路20、21を通して、第1の差動対5で電流に変換された後、電流合成及び増幅回路10を通して、出力端子3から増幅、出力される。一方、前記差動信号は第3及び第4のレベルシフト回路18、19を通るが、第3及び第4の電圧リミット回路25、26により遮断されて、第2の差動対4には至らない。従って、差動信号の電圧が基準電圧源15の電圧よりも低い際には、差動増幅器の変換率 g_m は、第1の差動対5を構成するnチャンネルMOSトランジスタのコンダクタンスを g_{mn} として、

$$g_m = g_{mn}$$

で表現される。

【0088】

次に、第1及び第2の入力端子1、2の第1及び第2の信号の各電圧が基準電圧源15の電圧以上の際には、前記とは逆に、第3及び第4のレベルシフト回路18、19を通り、第3及び第4の電圧リミット回路25、26を通して、第2の差動対4で電流に変換された後、電流合成及び増幅回路10を通して増幅され、出力端子3から出力される。他方、前記差動信号は第1及び第2のレベルシフト回路8、9を通るが、第1及び第2の電圧リミット回路20、21で遮断されて、第1の差動対5には至らない。従って、差動信号の電圧が基準電圧源15の電圧以上高い際には、差動増幅器の変換率 g_m は、

$$g_m = g_{mn}$$

で表現される。従って、全入力動作電圧範囲で利得が等しくなる。

【0089】

続いて、図26を用いて動作を更に詳細に説明する。第1及び第2の入力端子1、2の差動信号の電圧が基準電圧源15の電圧未満の際には、入力された差動信号はpチャンネルMOSトランジスタM5、M10を通り、nチャンネルMOSトランジスタM6、M7を通して、出力端子16、17から差動増幅器の電流出力として出力される。他方、nチャンネルMOSトランジスタM14、M16は遮断されて、差動信号は第2の差動対4を構成するnチャンネルMOSトランジスタM1、M2には通らない。このとき、差動増幅器の変換率 g_m は、

$$g_m = g_{mn}$$

で表現される。

【0090】

一方、第1及び第2の入力端子1、2の差動信号の電圧が基準電圧源15の電圧以上高い際には、入力された差動信号は、nチャンネルMOSトランジスタM14、M16を通り、更に第2の差動対4を構成するnチャンネルMOSトランジスタM1、M2を通り、出力端子16、17から差動増幅器の電流出力として出力される。他方、pチャンネルMOSトランジスタM5、M10は遮断されて、第1の差動対5を構成するnチャンネルMOSトランジスタM6、M7に差動信号は通らない。このとき、差動増幅器の変換率 g_m は、

$$g_m = g_{mn}$$

となる。従って、全入力動作電圧範囲で利得が等しくなる。

【0091】

しかも、2対の電圧リミット回路20、21及び25、26は、図26から判るように、pチャンネルMOSトランジスタM10、M19、M5、M18及びnチャンネルMOSトランジスタM14、M20、M16、M21により構成されるが、カレントミラー回路を構成しないので、高速な切り換え動作が可能であり、演算増幅器が高速に動作する。

【0092】

また、差動信号は、その電圧が基準電圧源 15 の電圧未満の場合には第 1 及び第 2 のレベルシフト回路 8、9 を通り、基準電圧源 15 の電圧以上の場合には第 3 及び第 4 のレベルシフト回路 18、19 を通るので、全入力動作電圧範囲で利得損失や周波数特性の劣化が均一になる。

【0093】

尚、図 26 の差動増幅器では、動作条件として、p チャンネル MOS トランジスタ M4、M9 が飽和領域で動作し、且つ n チャンネル MOS トランジスタ M1、M2 が動作するときには n チャンネル MOS トランジスタ M3 が飽和領域で動作し、一方、n チャンネル MOS トランジスタ M6、M7 が動作するときには n チャンネル MOS トランジスタ M8 が飽和領域で動作するように基準電圧源 15 の電圧を選定すれば良い。また、p チャンネル MOS トランジスタ M5、M10 によるレベルシフト電圧量は、n チャンネル MOS トランジスタ M8 が飽和動作で動作するように、p チャンネル MOS トランジスタ M5、M10、n チャンネル MOS トランジスタ M6、M7 のゲート幅及びゲート長を選べば良い。更に、n チャンネル MOS トランジスタ M14、M16 によるレベルシフト電圧量は、n チャンネル MOS トランジスタ M3 が飽和動作で動作するように、n チャンネル MOS トランジスタ M14、M16、n チャンネル MOS トランジスタ M1、M2 のゲート幅及びゲート長を選べば良い。

【0094】

本実施の形態のように差動対 4、5 を n チャンネル MOS トランジスタで構成するのに代えて、p チャンネル MOS トランジスタで構成したブロック構成を図 27 に、その具体的回路構成を図 28 に示す。

【0095】

【発明の効果】

以上説明したように、請求項 1～請求項 9 記載の発明によれば、全入力動作電圧範囲において利得が等しく、且つ、高速に動作することができる差動増幅器及び演算増幅器を実現できる。

【図面の簡単な説明】

【図 1】

本発明の第1の実施の形態の演算増幅器のブロック構成を示す図である。

【図2】

同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

【図3】

同演算増幅器をpチャンネルMOSトランジスタで構成した場合のブロック構成を示す図である。

【図4】

同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

【図5】

本発明の第2の実施の形態の演算増幅器のブロック構成を示す図である。

【図6】

同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

【図7】

同演算増幅器をpチャンネルMOSトランジスタで構成した場合のブロック構成を示す図である。

【図8】

同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

【図9】

本発明の第3の実施の形態の演算増幅器のブロック構成を示す図である。

【図10】

同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

【図11】

同演算増幅器をpチャンネルMOSトランジスタで構成した場合のブロック構成を示す図である。

【図12】

同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

【図13】

本発明の第4の実施の形態の演算増幅器のブロック構成を示す図である。

【図14】

同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

【図 15】

同演算増幅器を p チャンネル MOS トランジスタで構成した場合のブロック構成を示す図である。

【図 16】

同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

【図 17】

本発明の第 5 の実施の形態の演算増幅器のブロック構成を示す図である。

【図 18】

同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

【図 19】

同演算増幅器を p チャンネル MOS トランジスタで構成した場合のブロック構成を示す図である。

【図 20】

同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

【図 21】

本発明の第 6 の実施の形態の演算増幅器のブロック構成を示す図である。

【図 22】

同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

【図 23】

同演算増幅器を p チャンネル MOS トランジスタで構成した場合のブロック構成を示す図である。

【図 24】

同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

【図 25】

本発明の第 7 の実施の形態の演算増幅器のブロック構成を示す図である。

【図 26】

同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

【図 27】

同演算増幅器を p チャンネル MOS トランジスタで構成した場合のブロック構成を示す図である。

【図 28】

同演算増幅器内の差動増幅器の具体的回路構成を示す図である。

【図 29】

非特許文献 1 の差動増幅器の回路構成を示す図である。

【図 30】

同差動増幅器を p チャンネル MOS トランジスタで構成した回路を示す図である。

【図 31】

特許文献 1 の増幅器の具体的回路構成を示す図である。

【図 32】

同増幅器のブロック回路構成を示す図である。

【図 33】

特許文献 2 の増幅器の具体的回路構成を示す図である。

【図 34】

同増幅器のブロック回路構成を示す図である。

【図 35】

特許文献 3 の増幅器の具体的回路構成を示す図である。

【図 36】

同増幅器のブロック回路構成を示す図である。

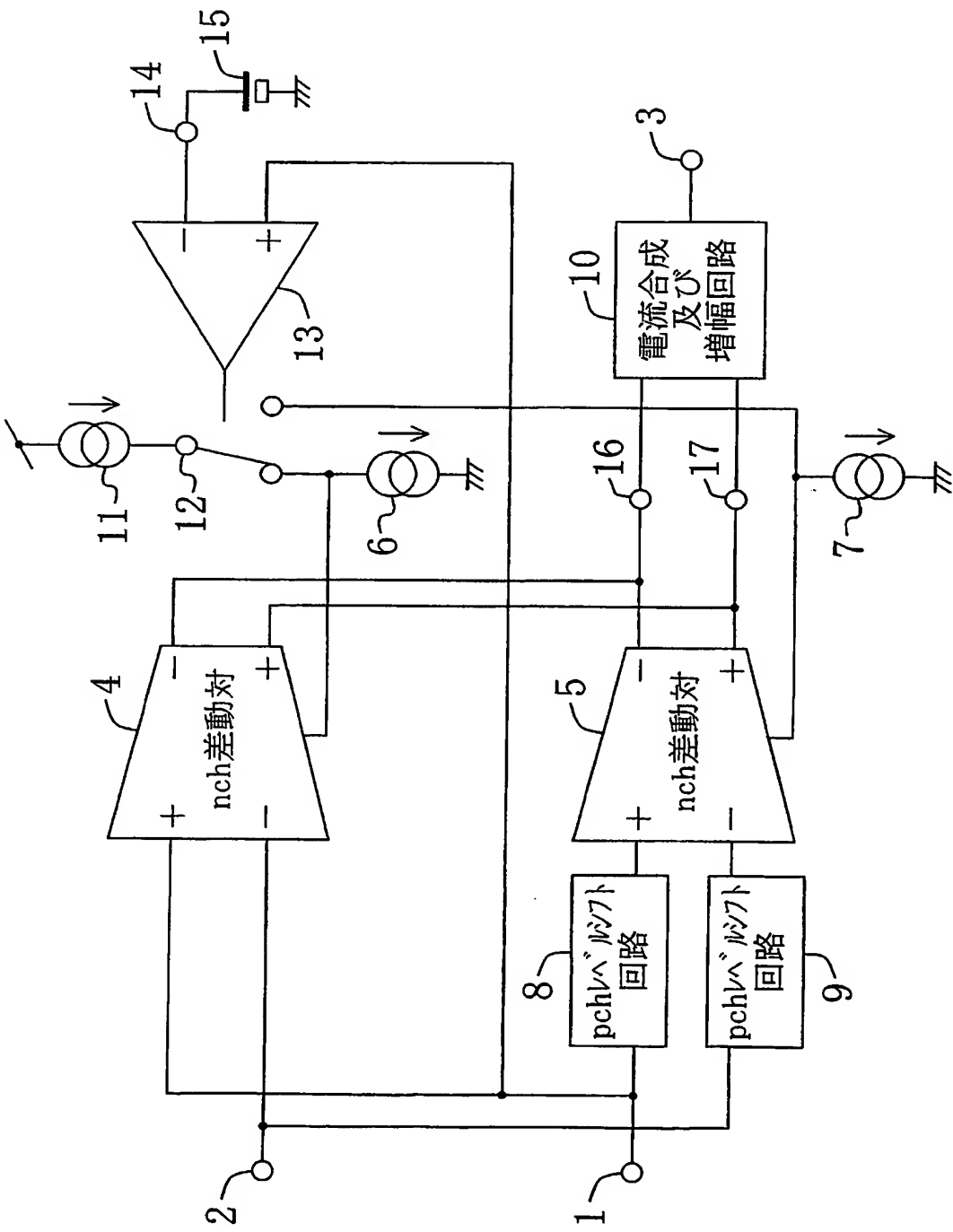
【符号の説明】

1	第 1 の入力端子
2	第 2 の入力端子
3	出力端子
4	第 2 の差動対
5	第 1 の差動対
6	第 2 の電流源
7	第 1 の電流源

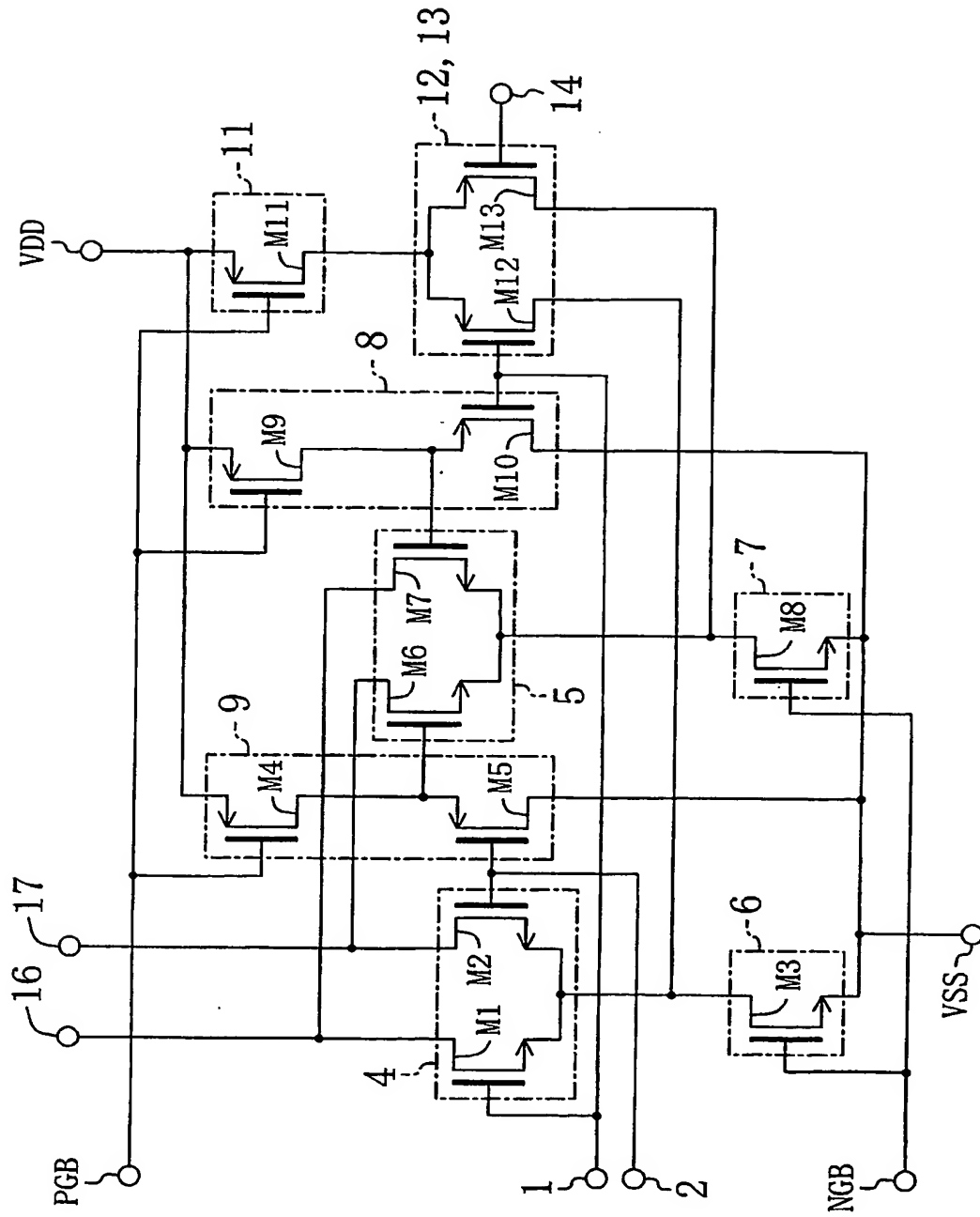
1 1	第 3 の電流源
8	第 1 のレベルシフト回路
9	第 2 のレベルシフト回路
1 0	電流合成及び増幅回路
1 2	スイッチ回路
1 3	比較器
1 5	基準電圧源
1 6	第 1 の出力端子
1 7	第 2 の出力端子
1 8	第 3 のレベルシフト回路
1 9	第 4 のレベルシフト回路
2 0	第 1 の電圧リミット回路
2 1	第 2 の電圧リミット回路
2 2	第 4 の電流源
2 3	第 2 のスイッチ回路
2 4	第 2 の比較器
2 5	第 3 の電圧リミット回路
2 6	第 4 の電圧リミット回路
M 1 2	MOS トランジスタ (第 1 のトランジスタ)
M 1 3	MOS トランジスタ (第 2 のトランジスタ)
V D D	正電源印加端子
V S S	負電源印加端子又は接地端子

【書類名】 図面

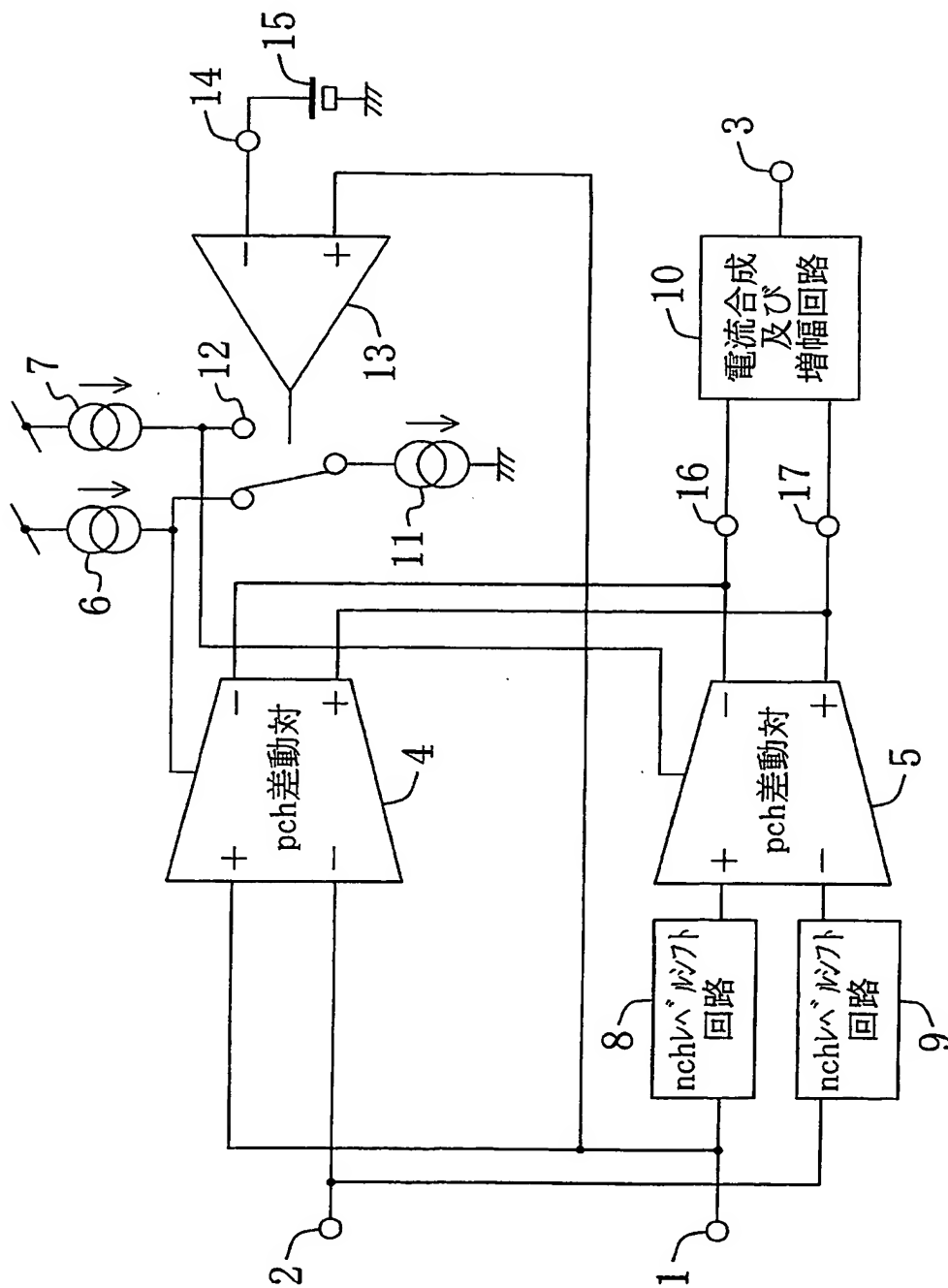
【図 1】



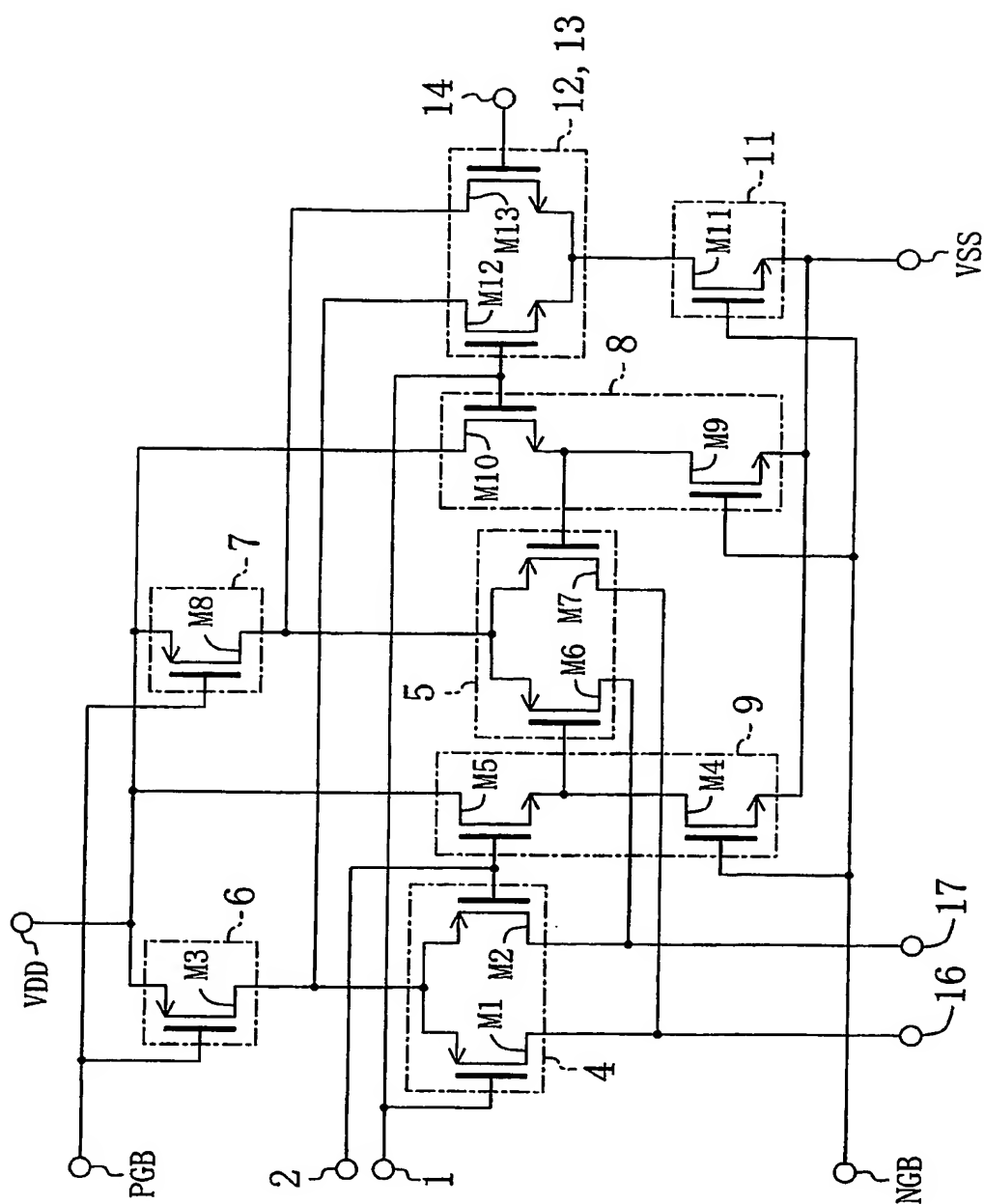
【図 2】



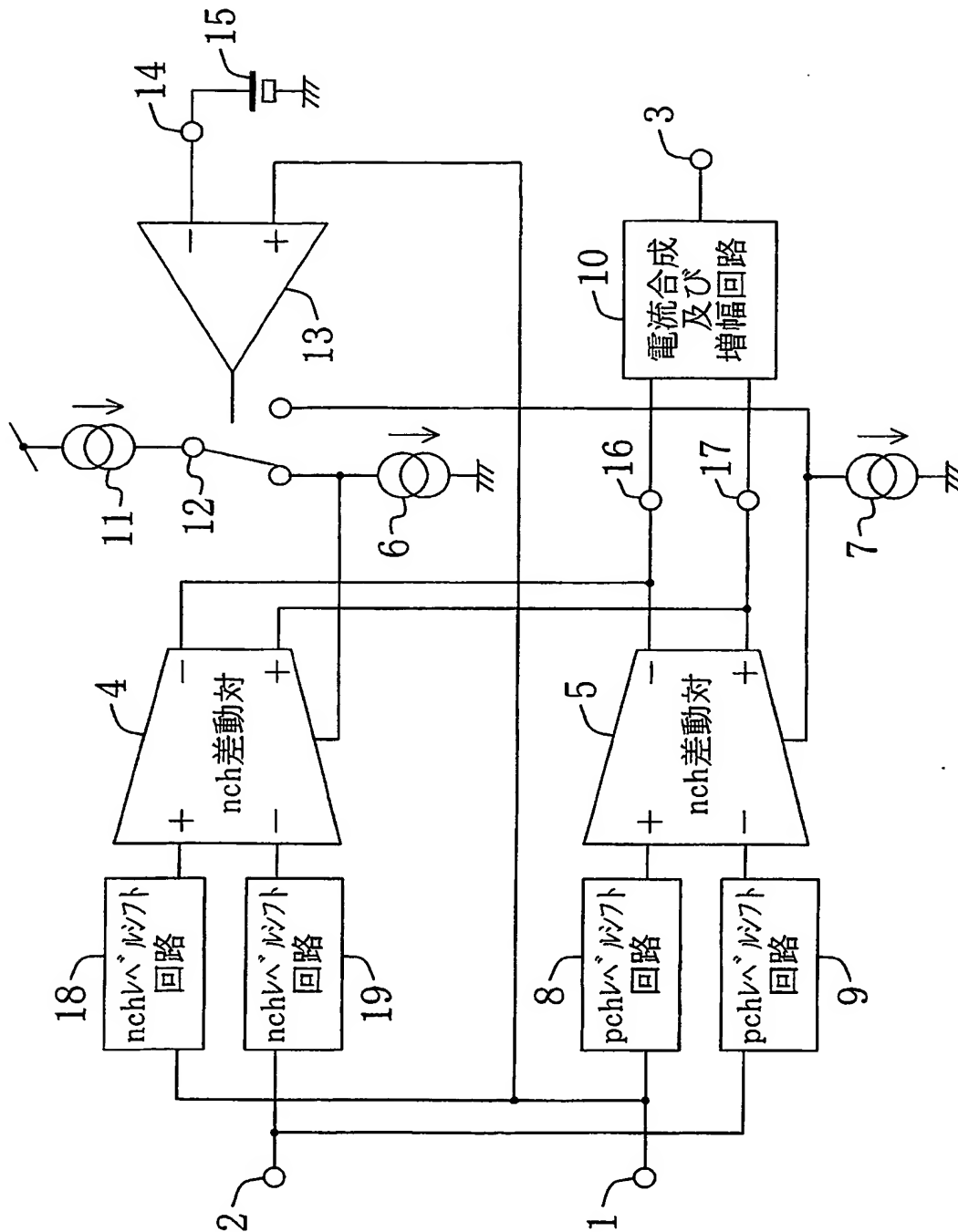
【図3】



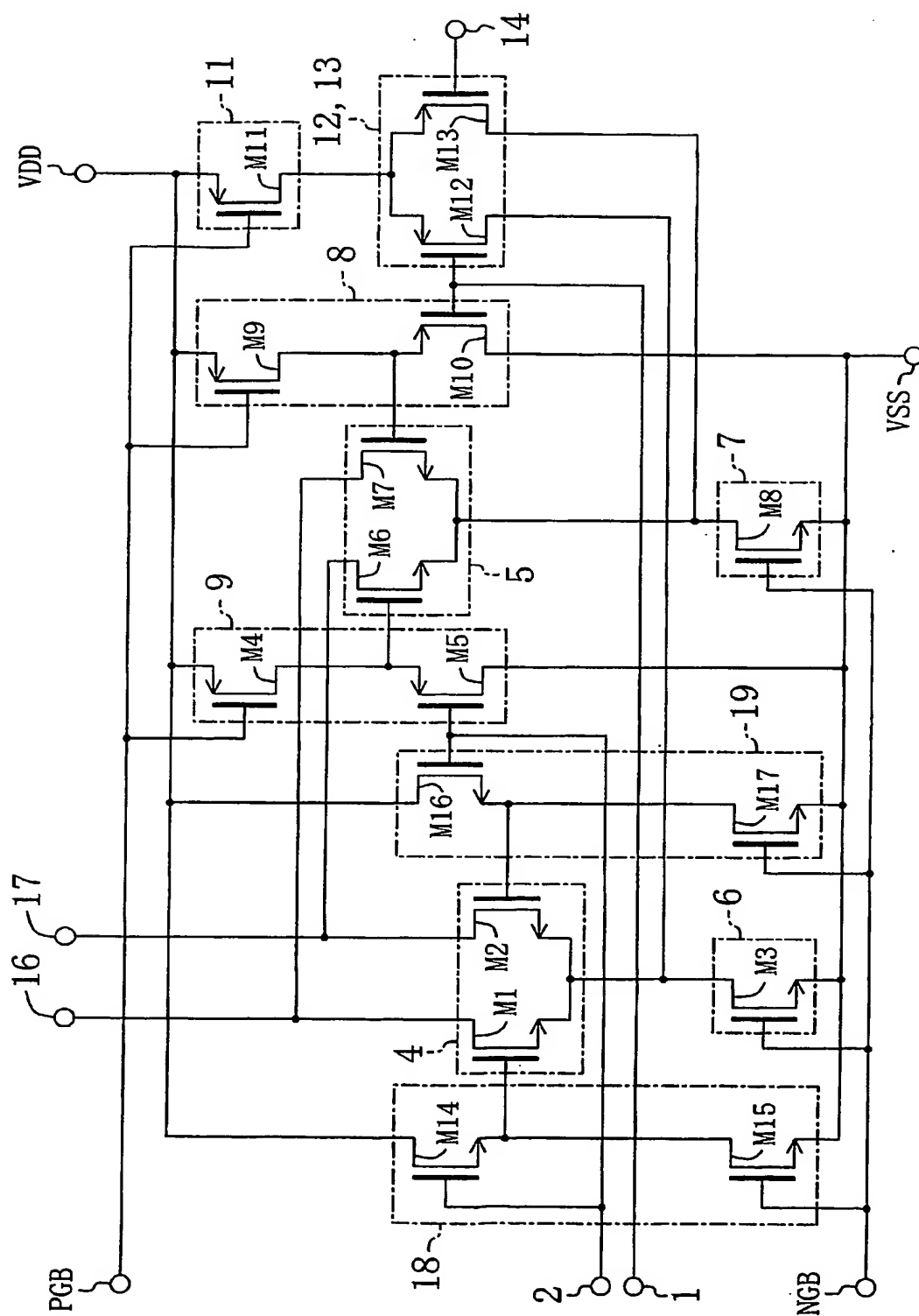
【図 4】



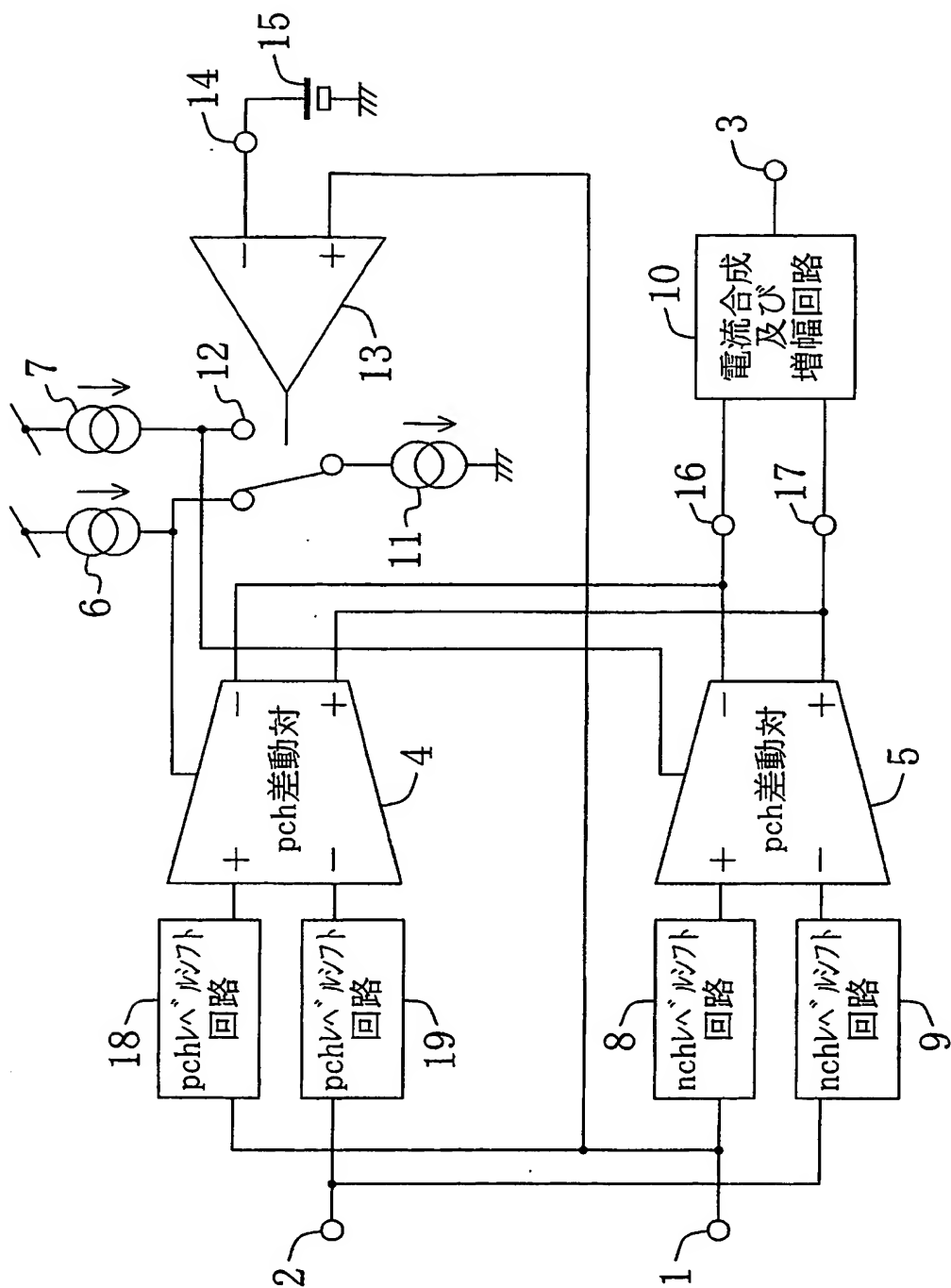
【図 5】



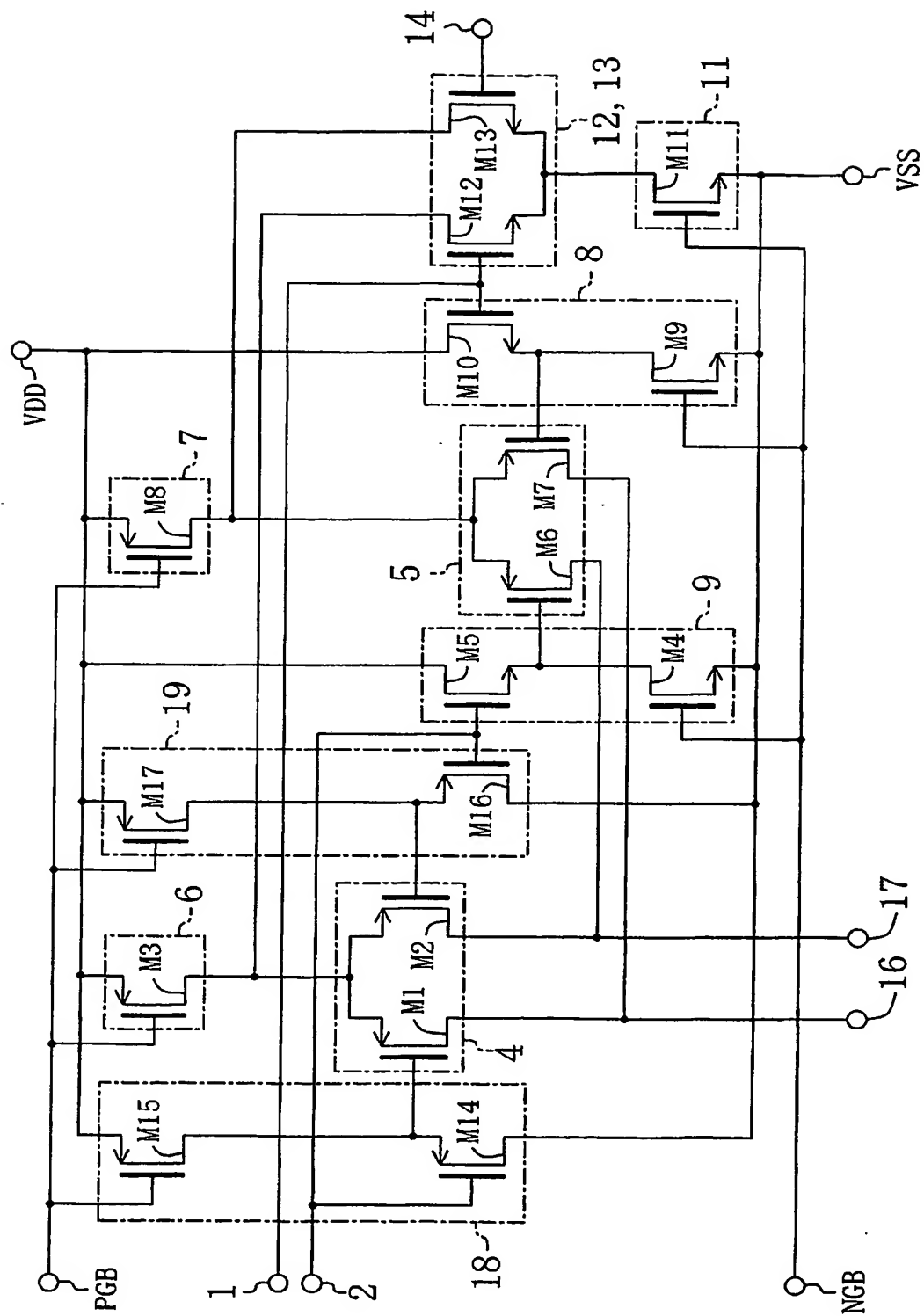
【図 6】



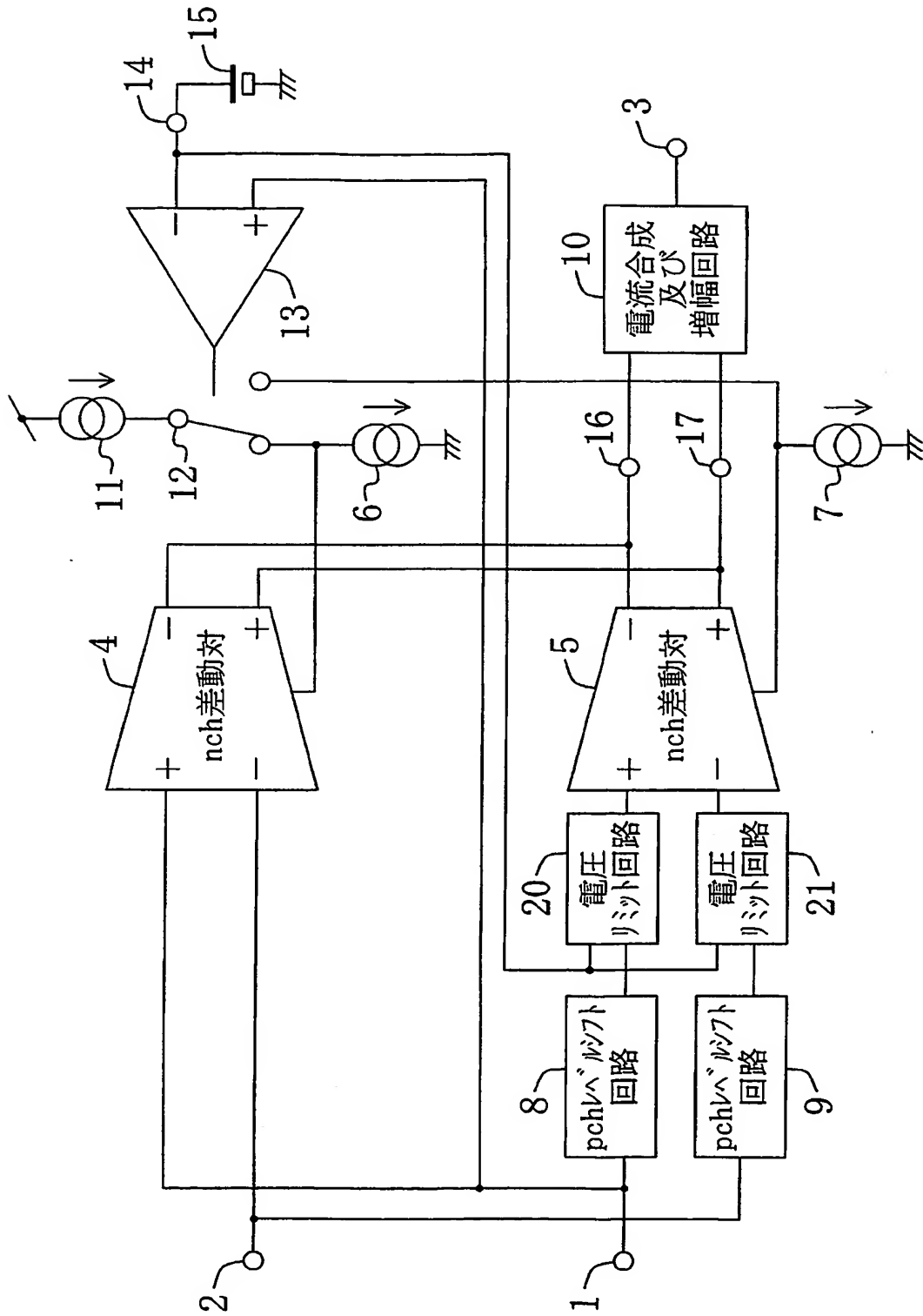
【図 7】



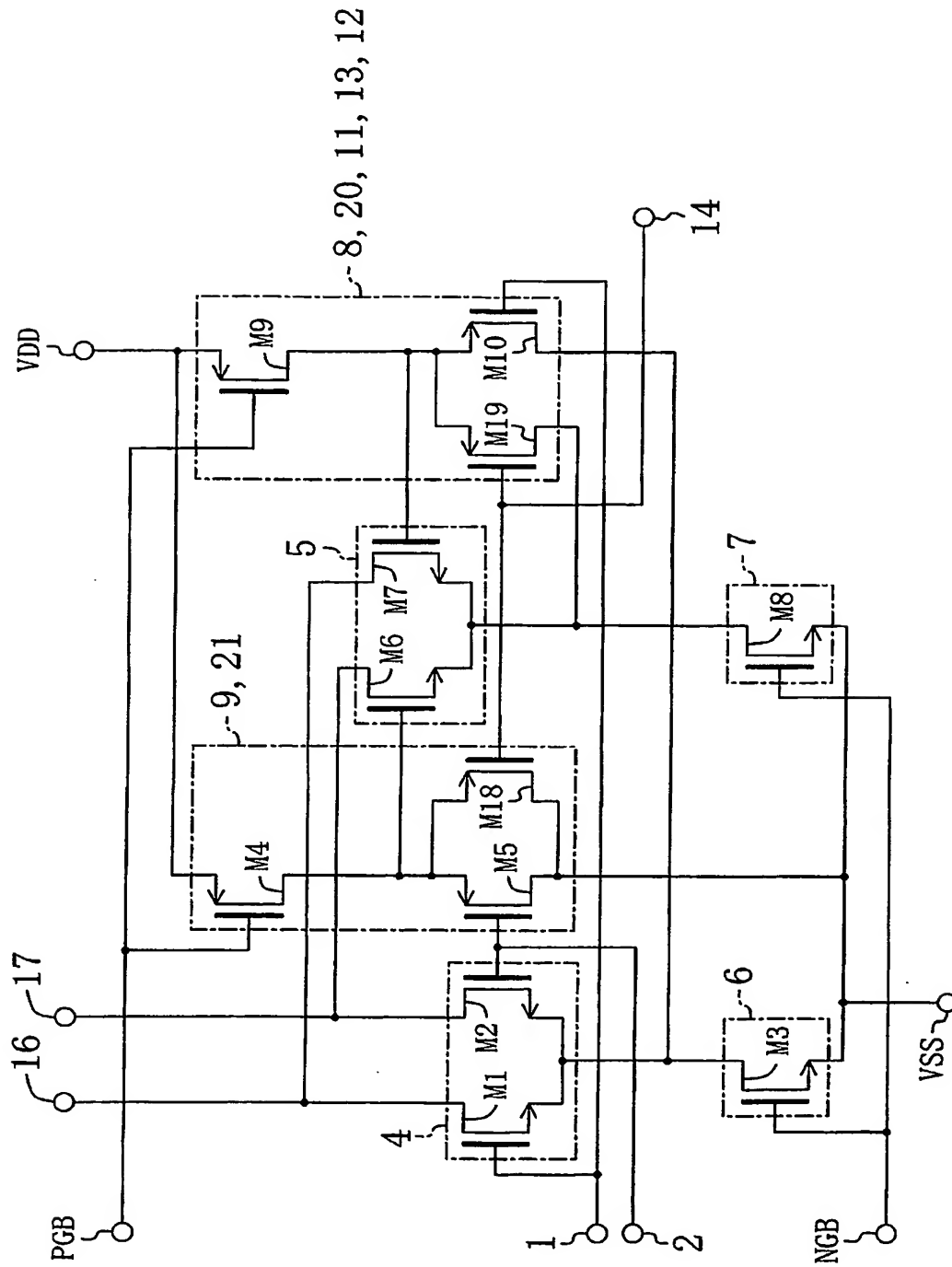
【図 8】



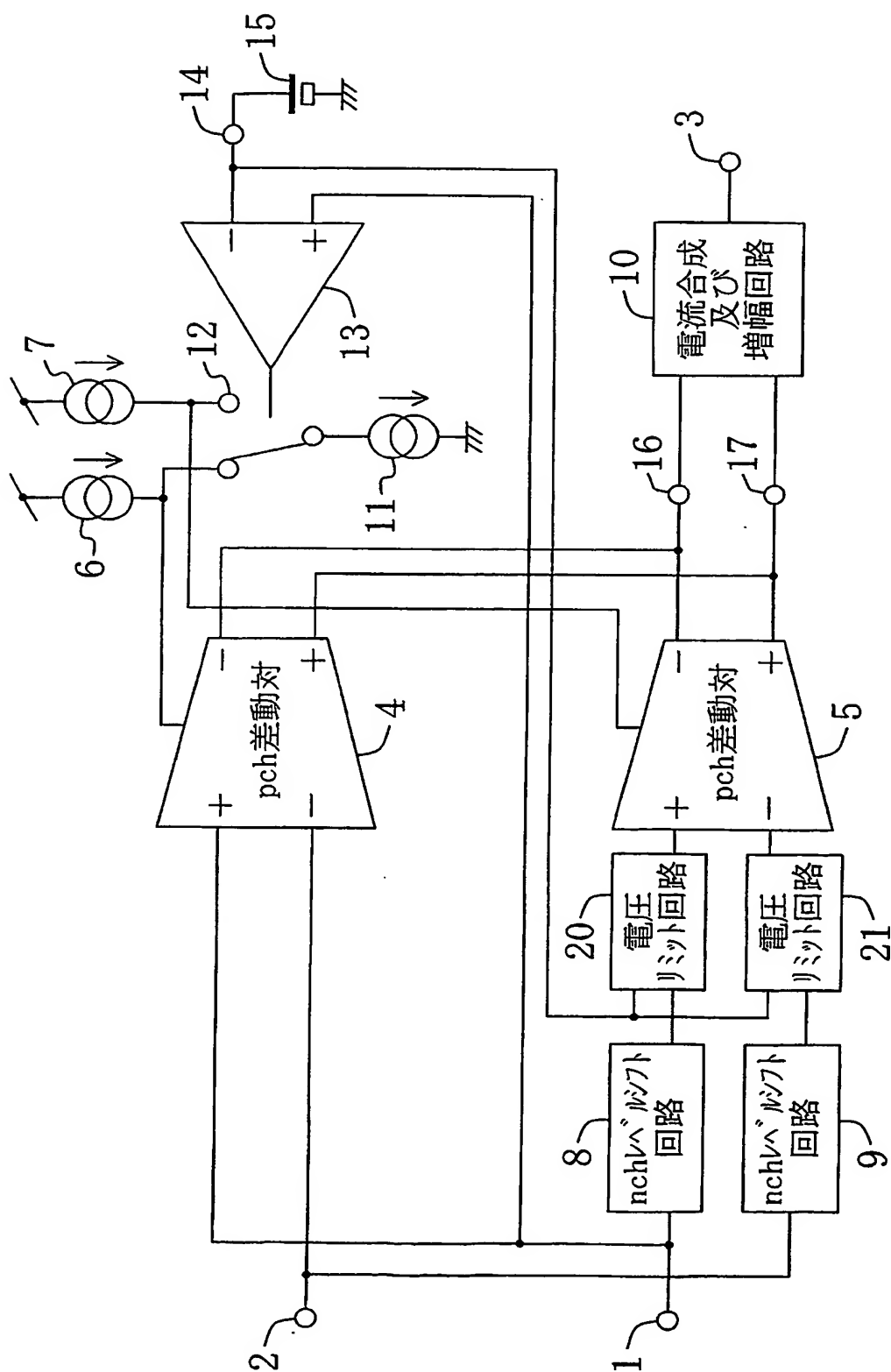
【図 9】



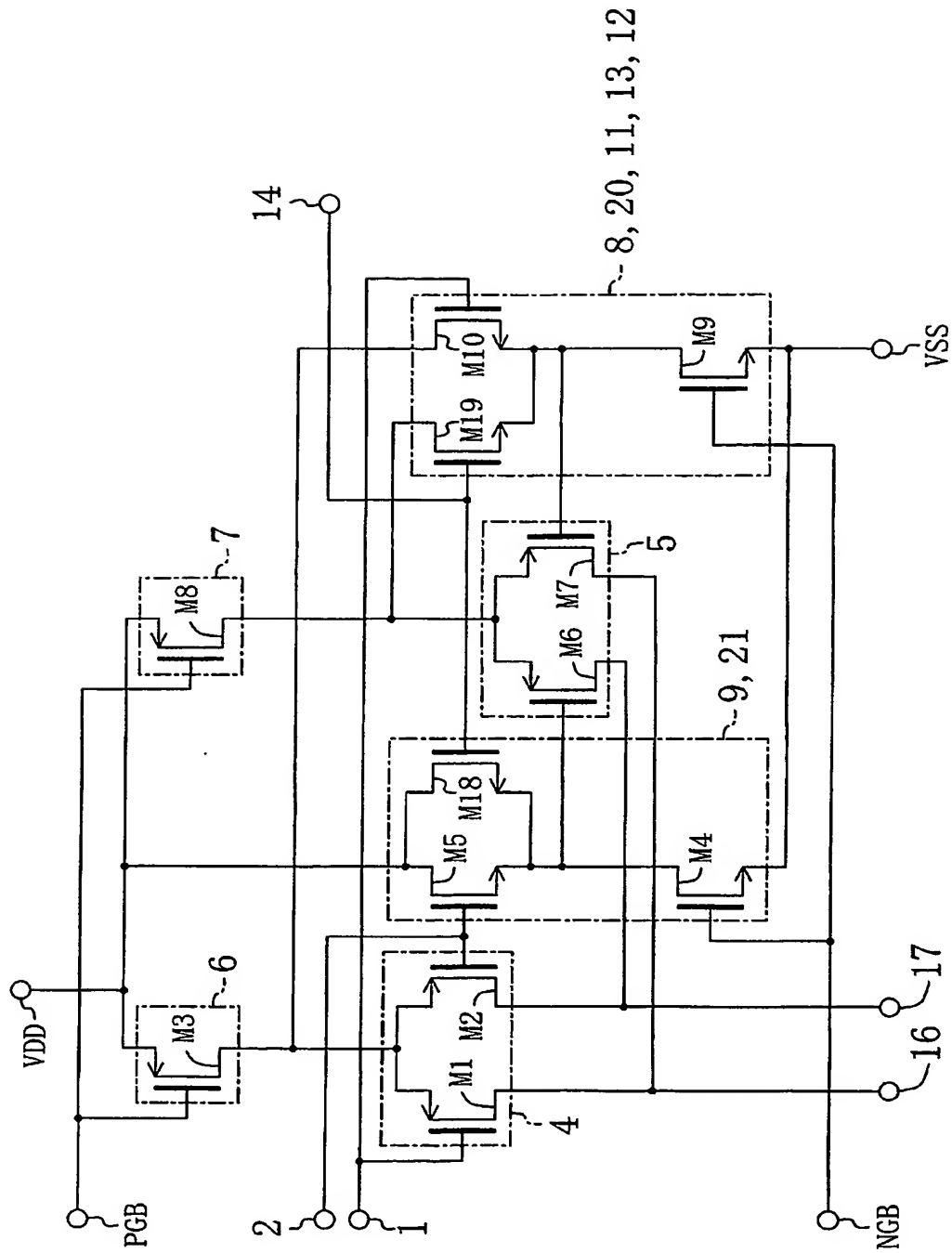
【図 10】



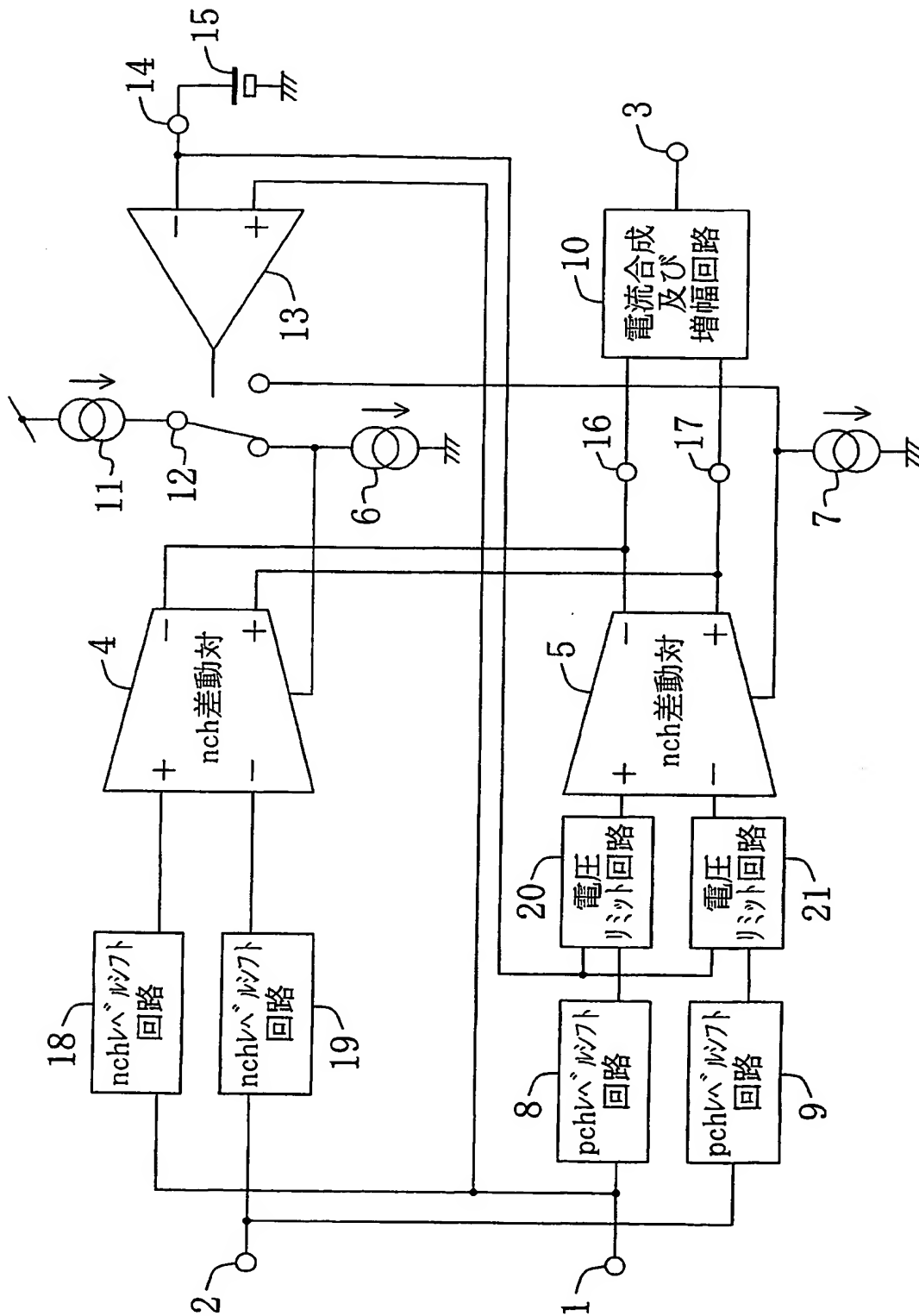
【図11】



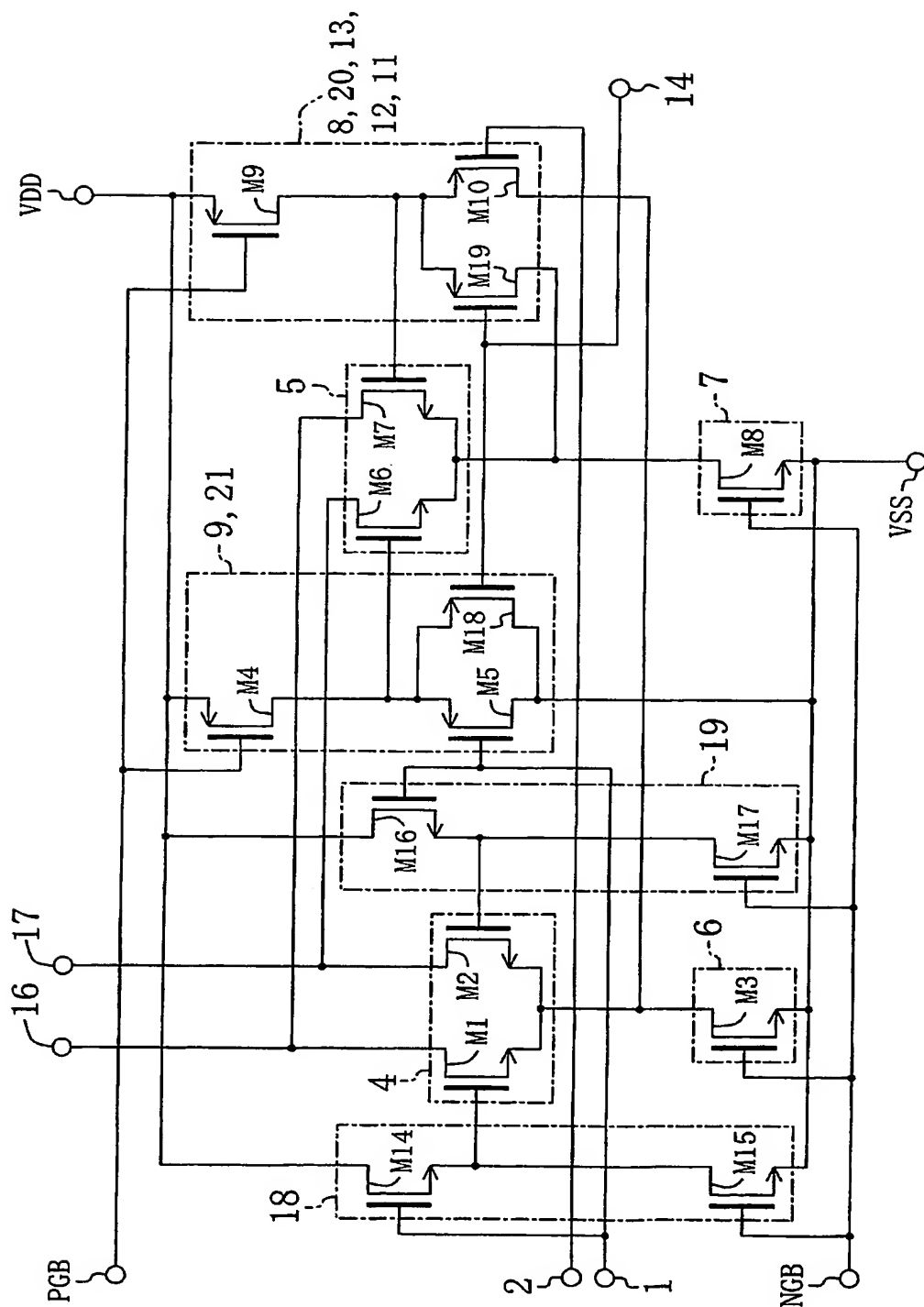
【図 12】



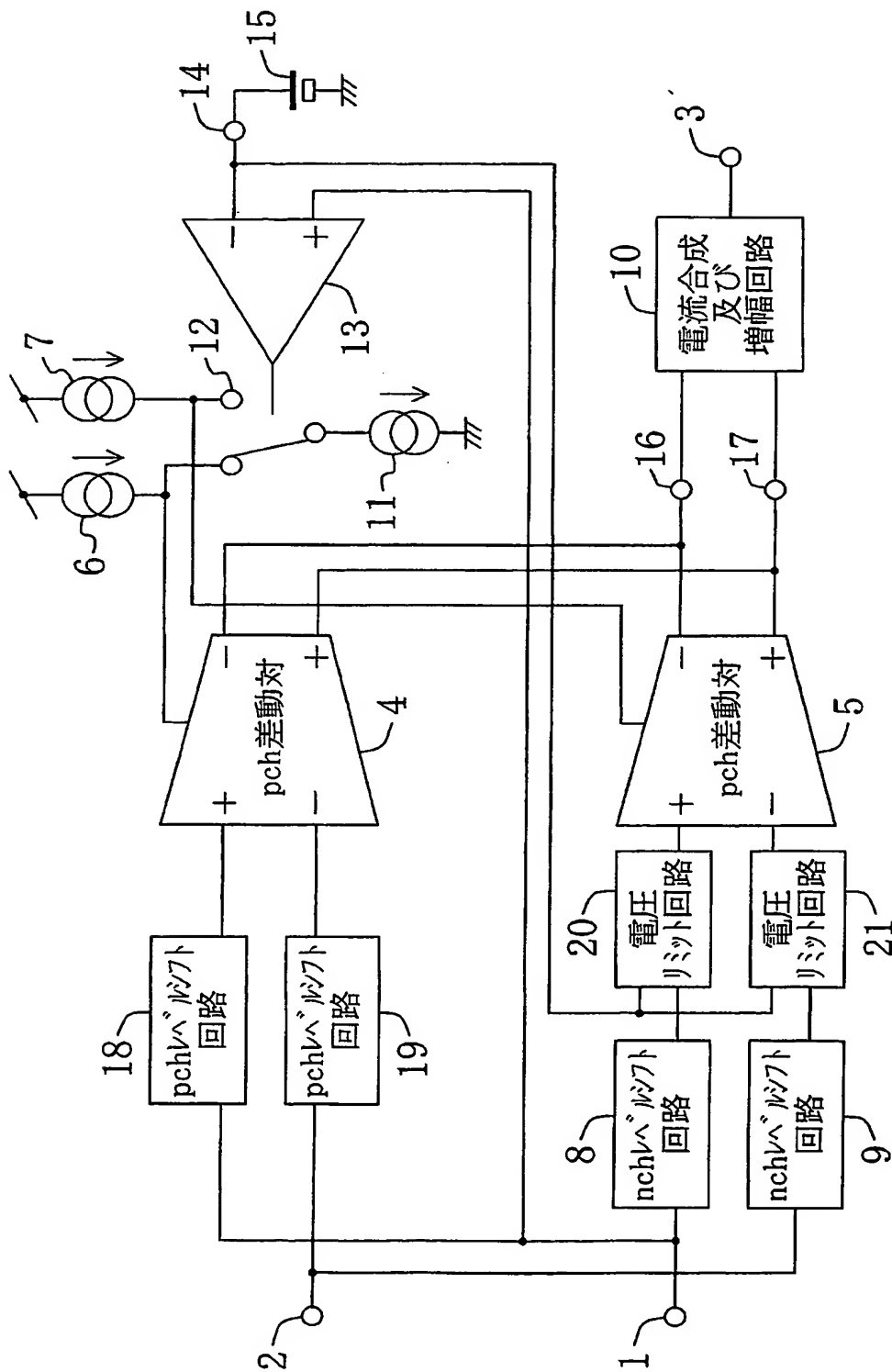
【図13】



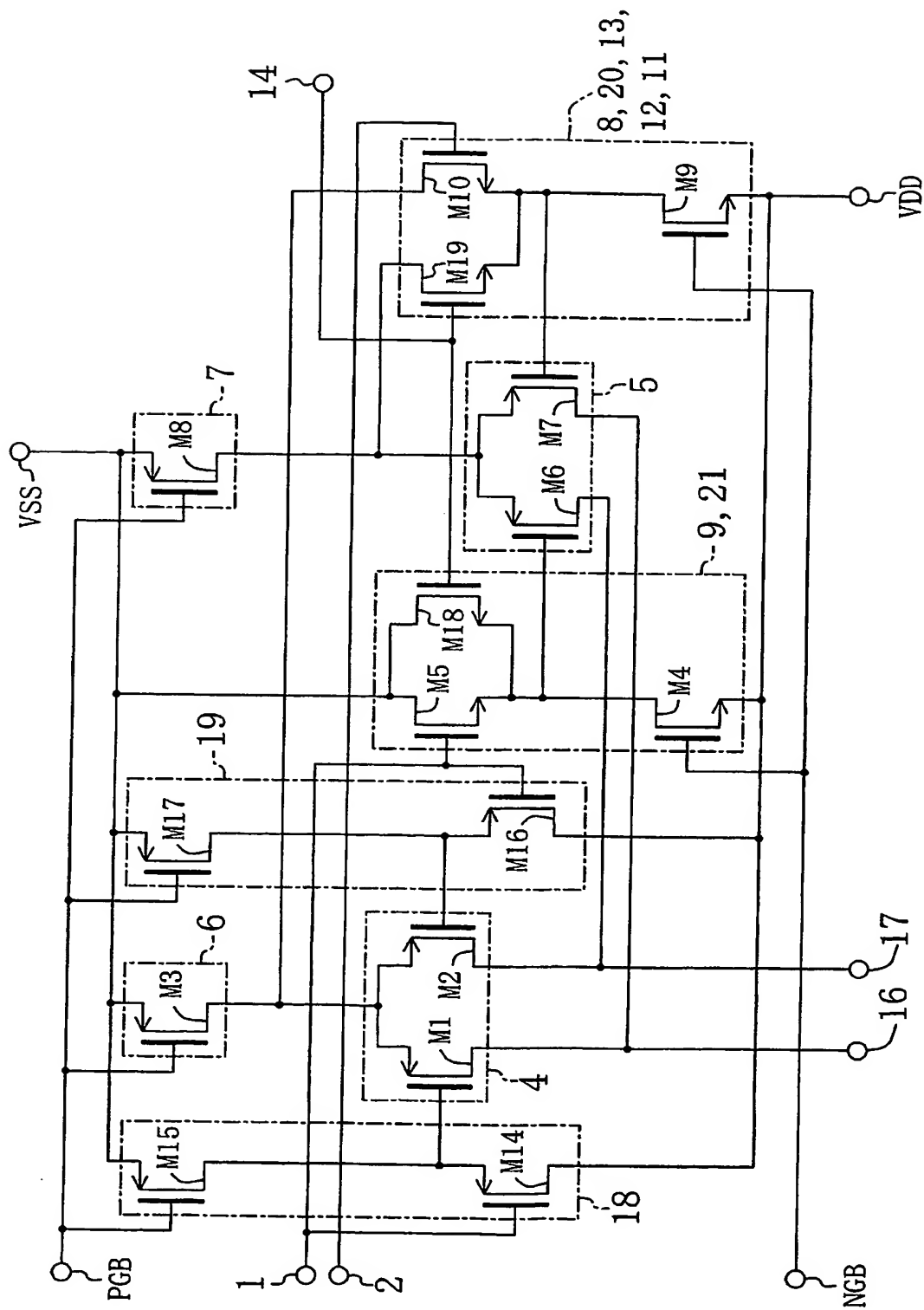
【図14】



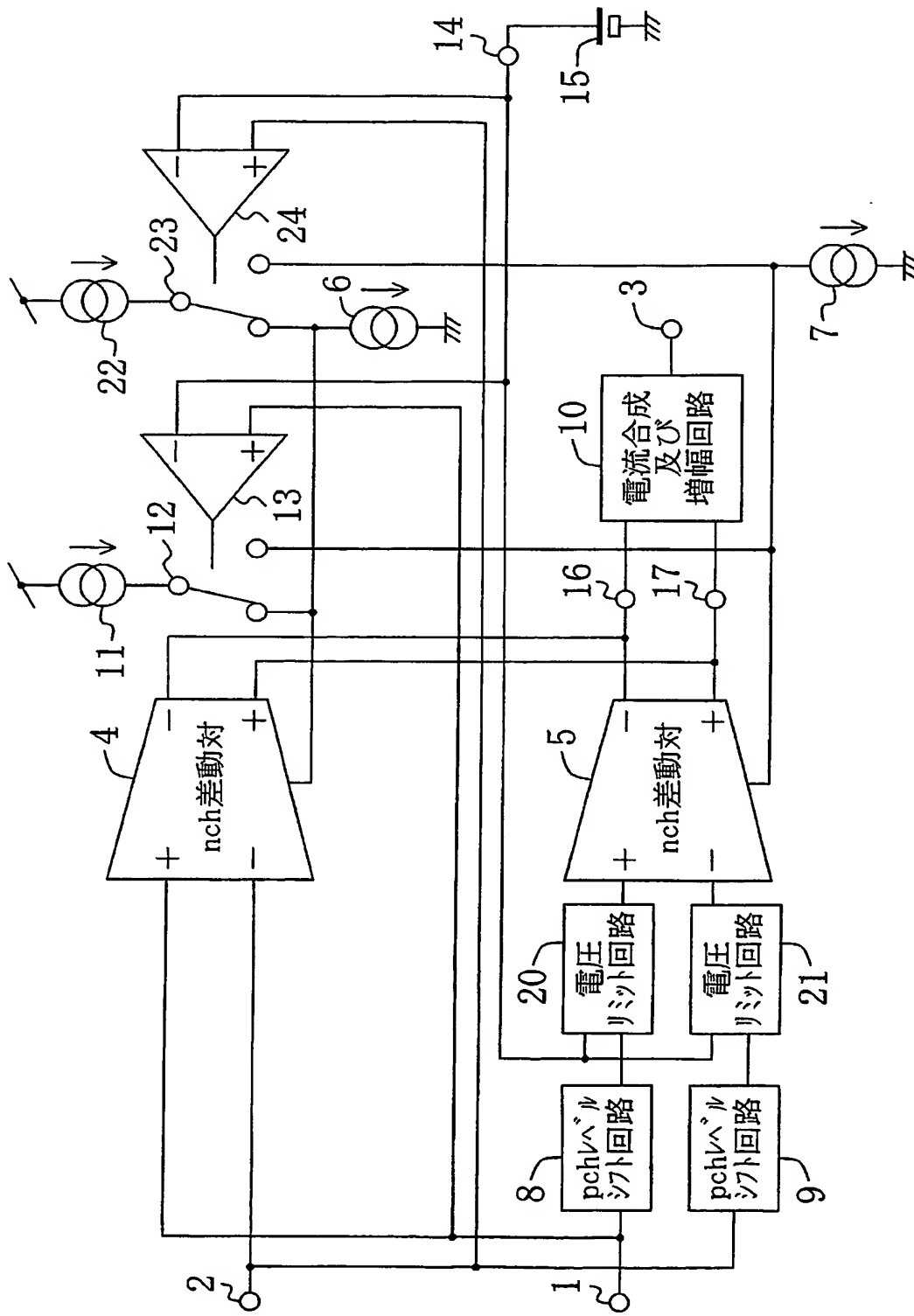
【図 15】



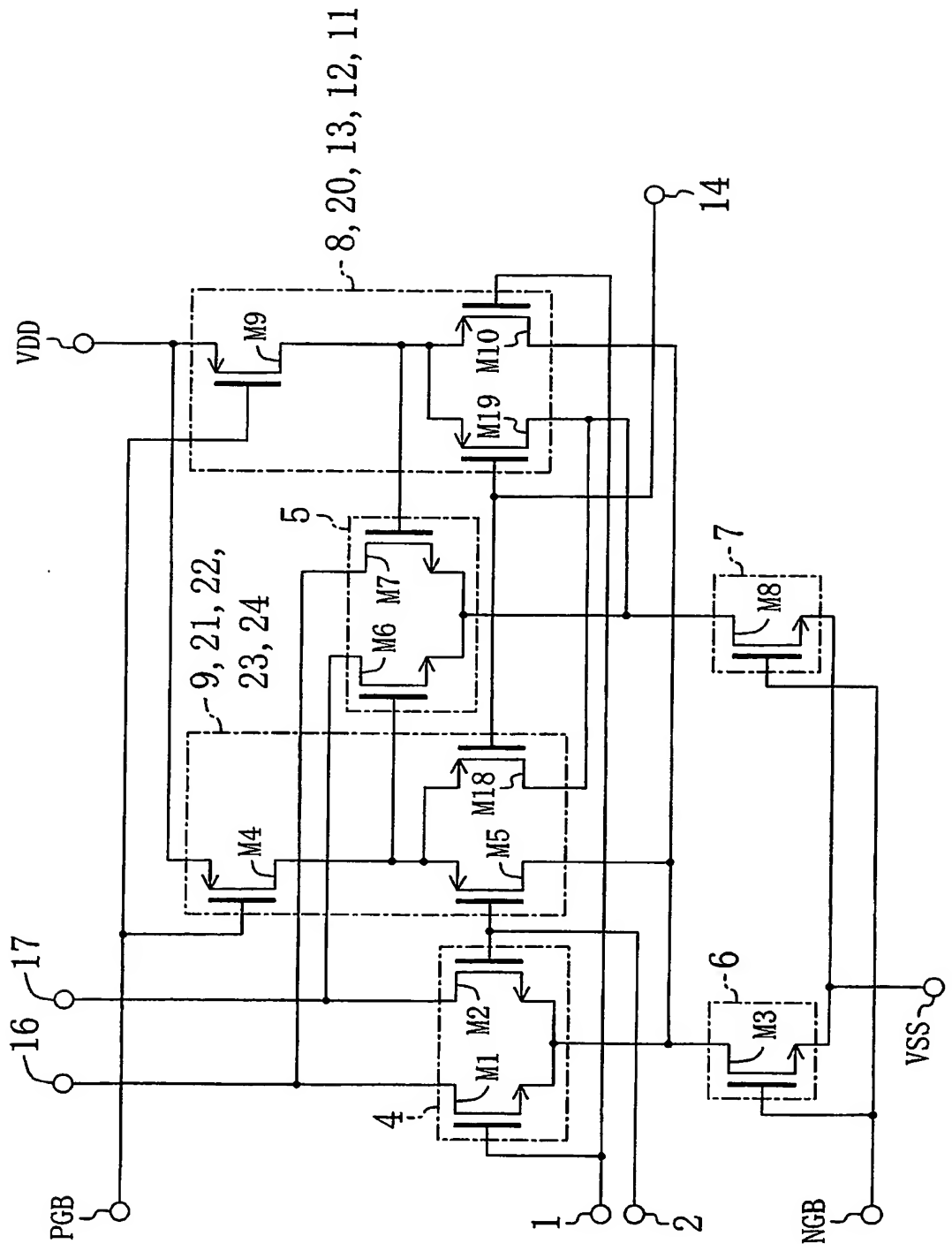
【図 16】



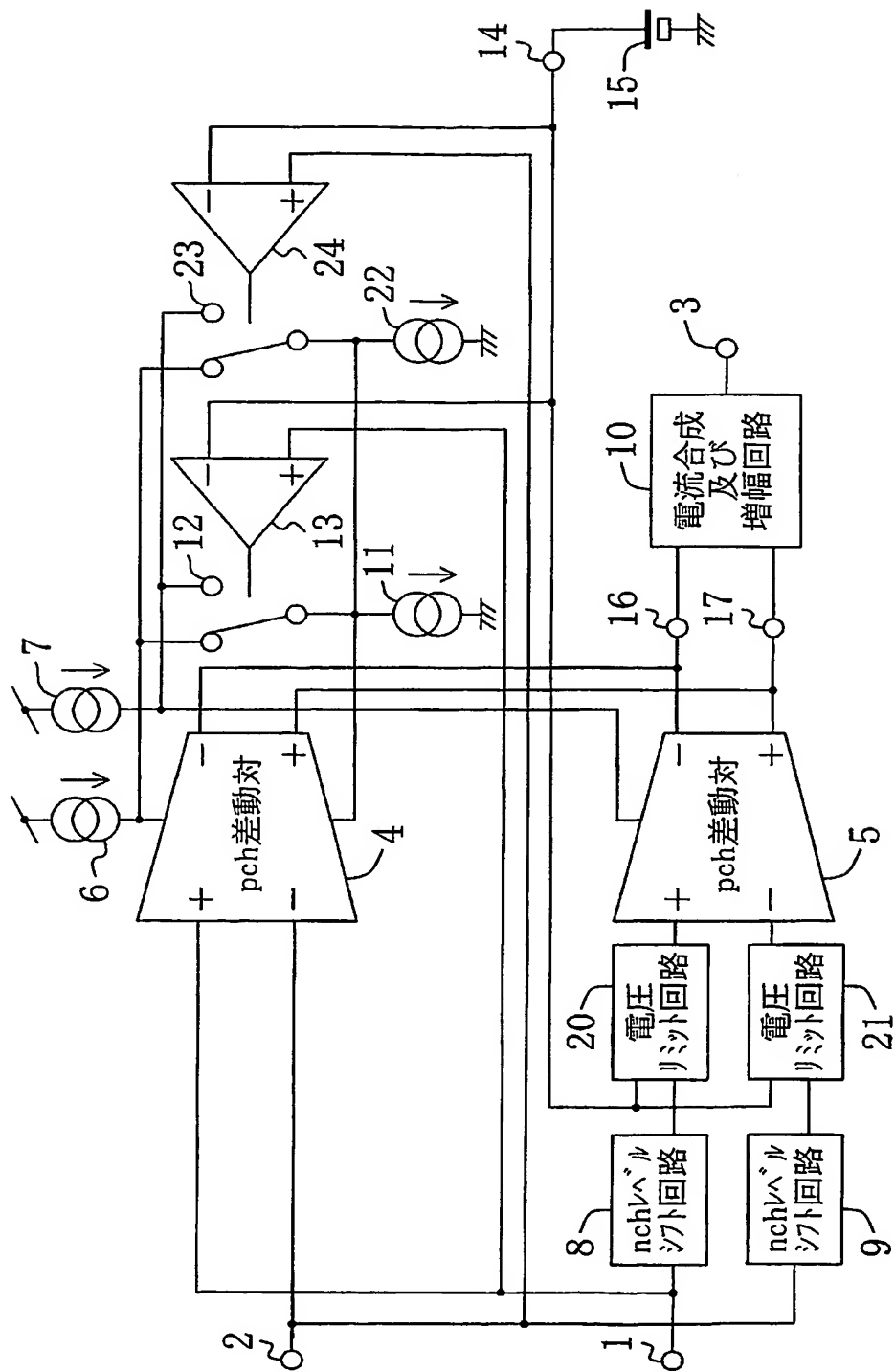
【図 17】



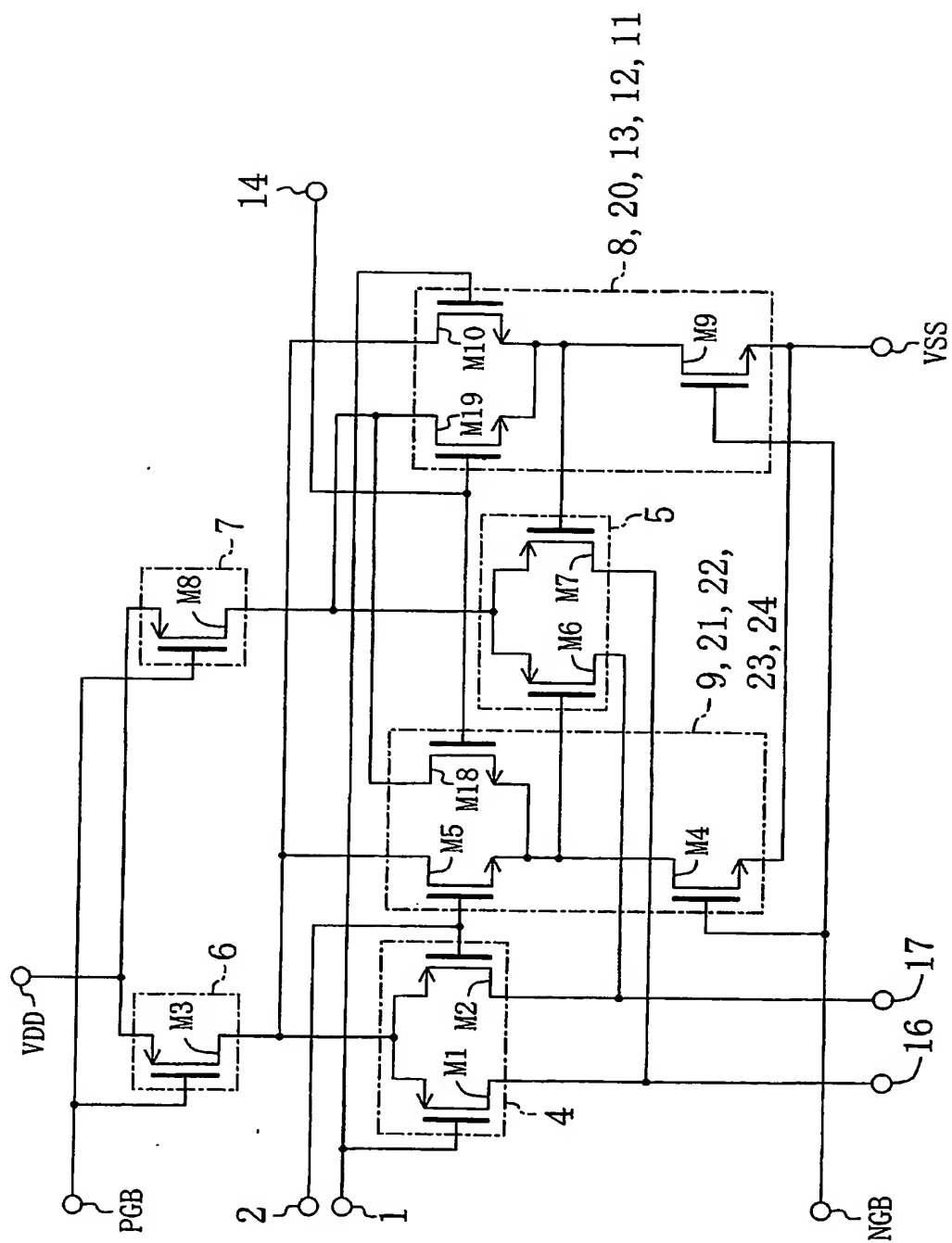
【図 18】



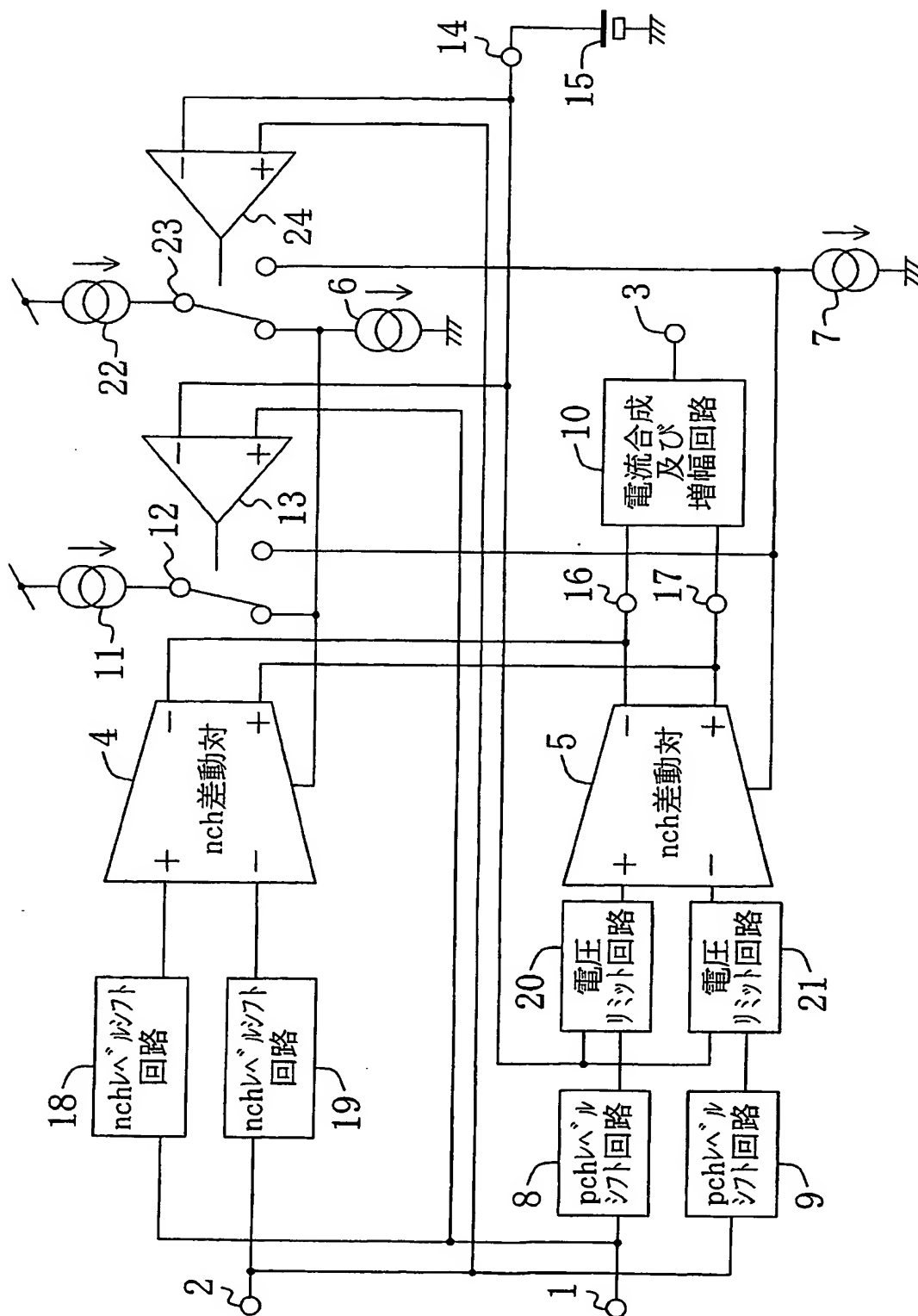
【図 19】



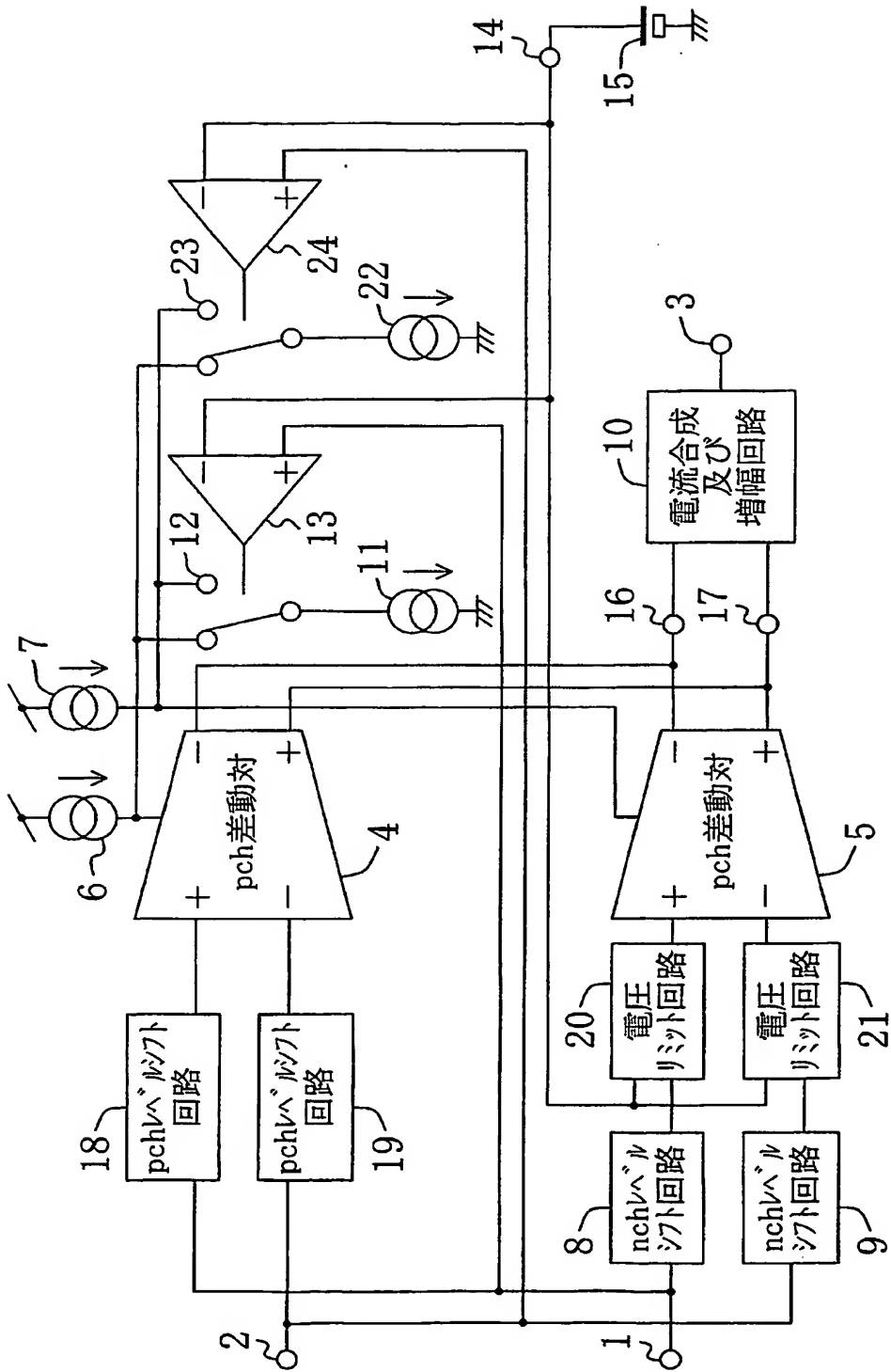
【図 20】



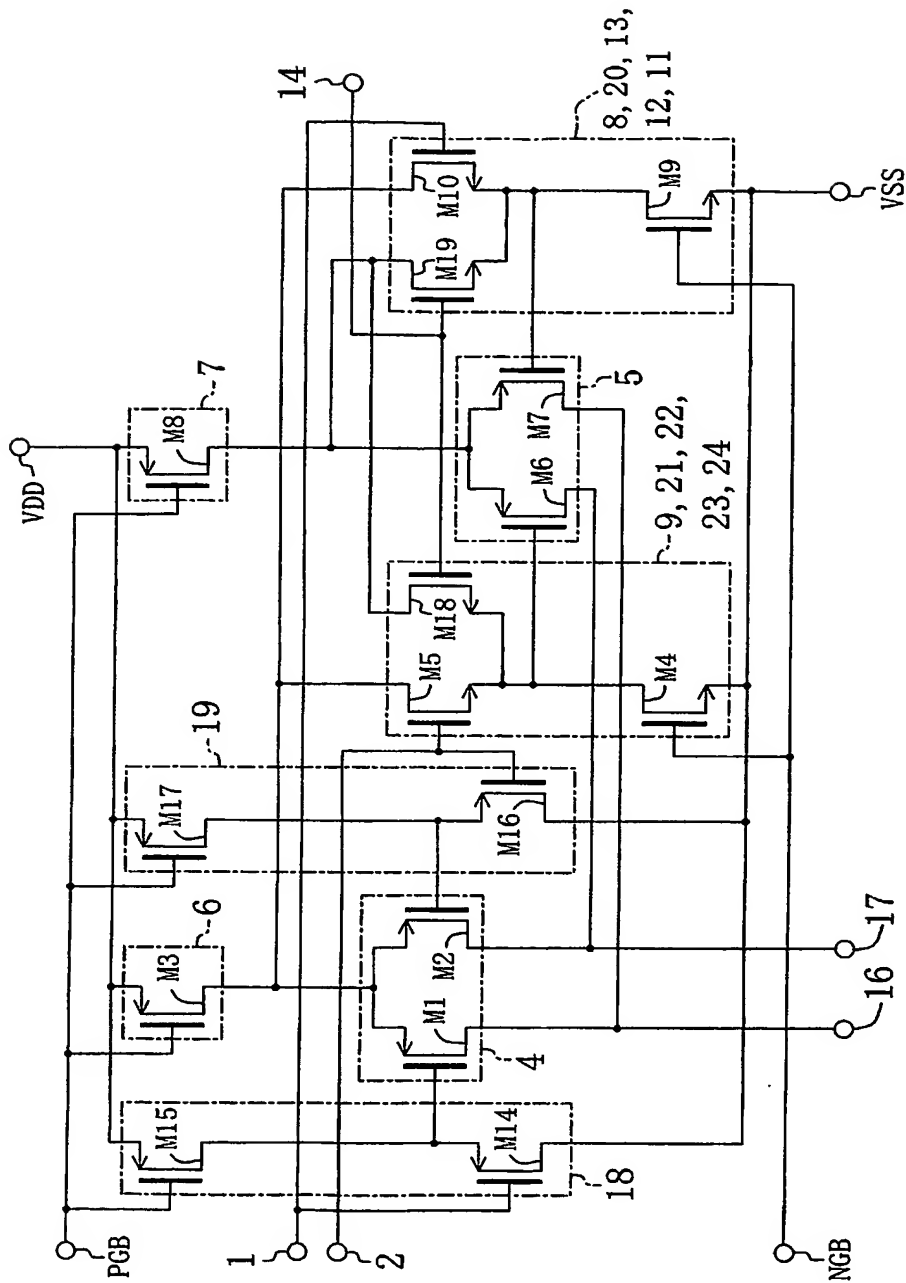
【図 21】



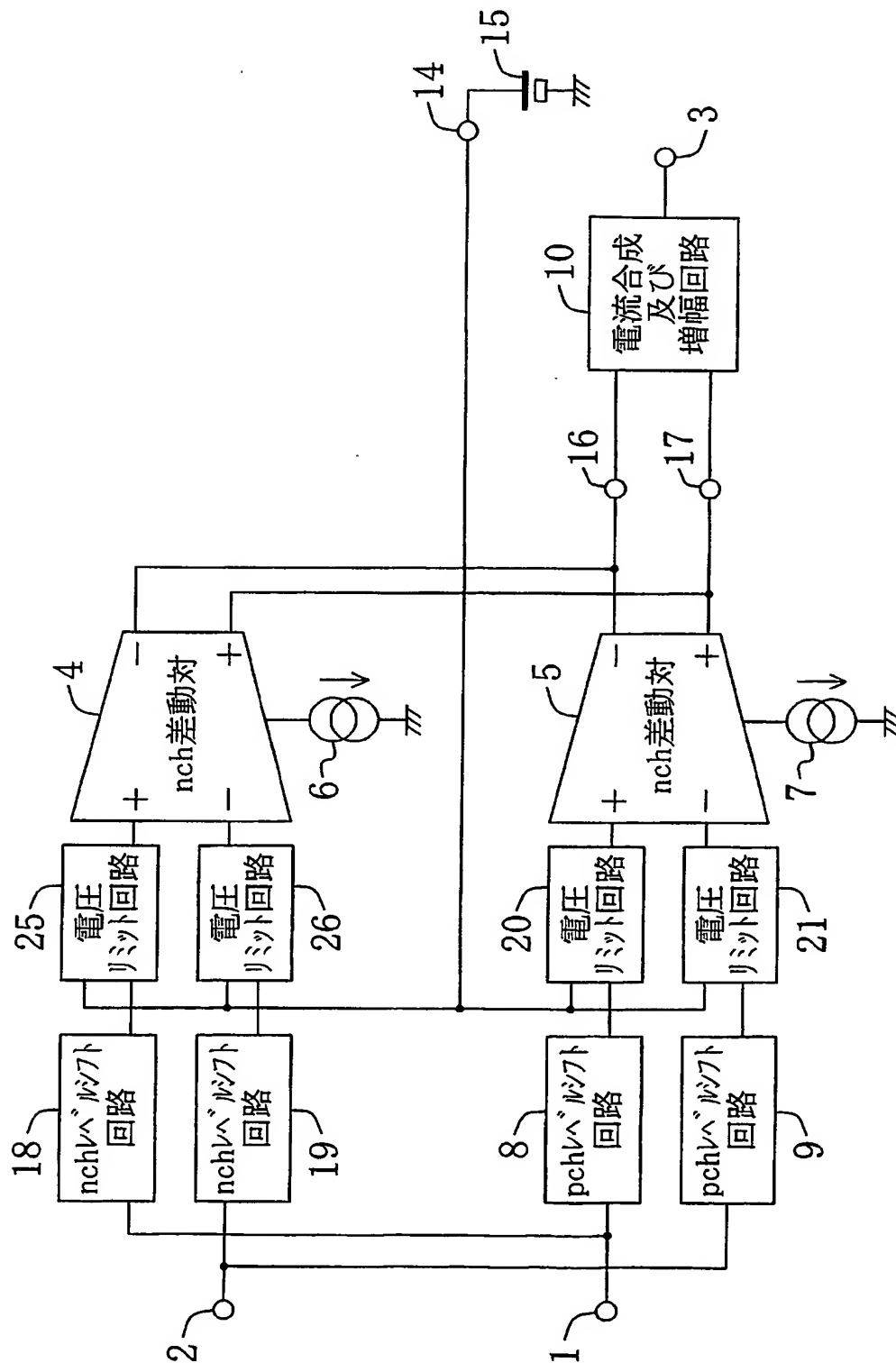
【図 23】



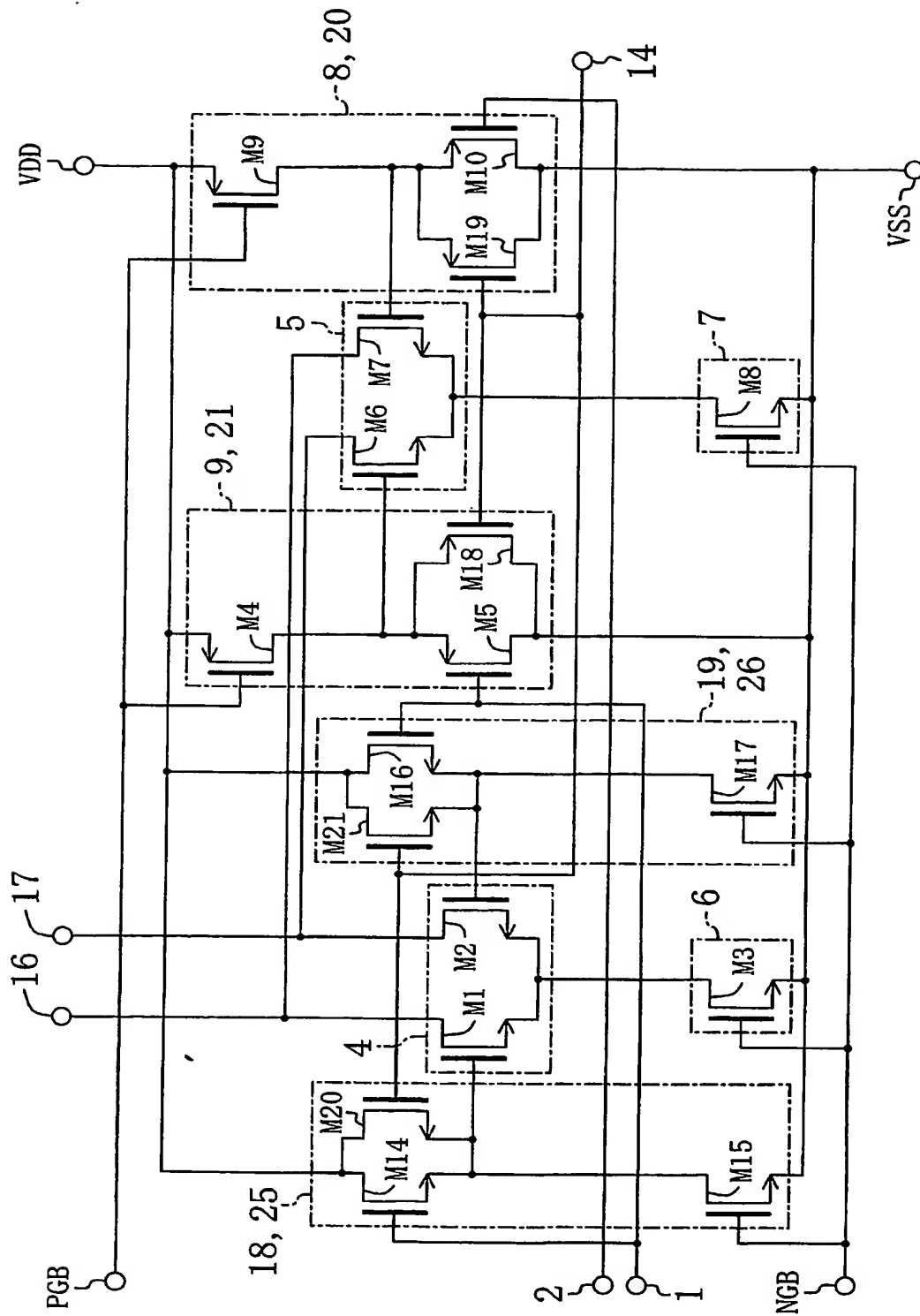
【図 24】



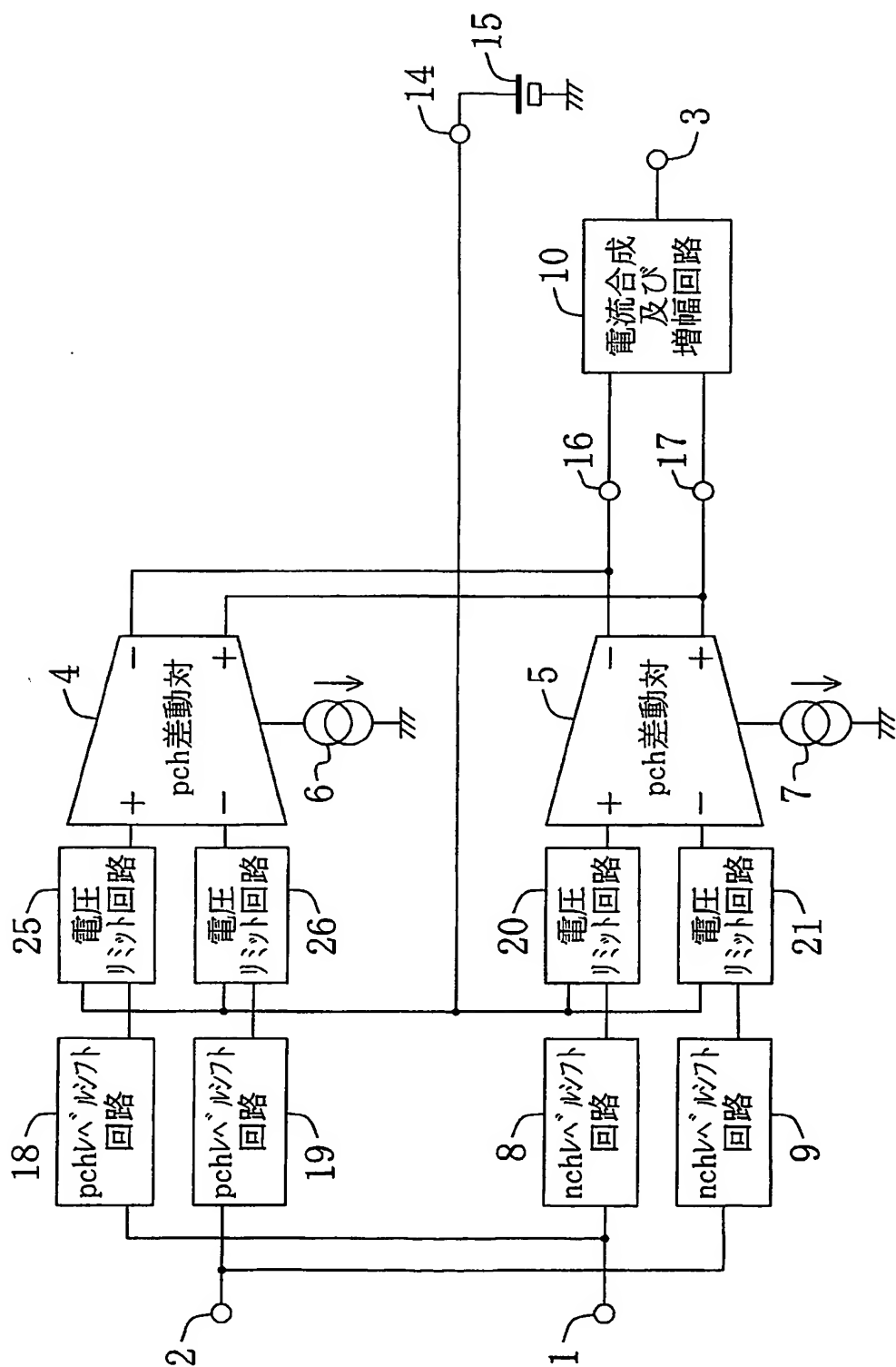
【図 25】



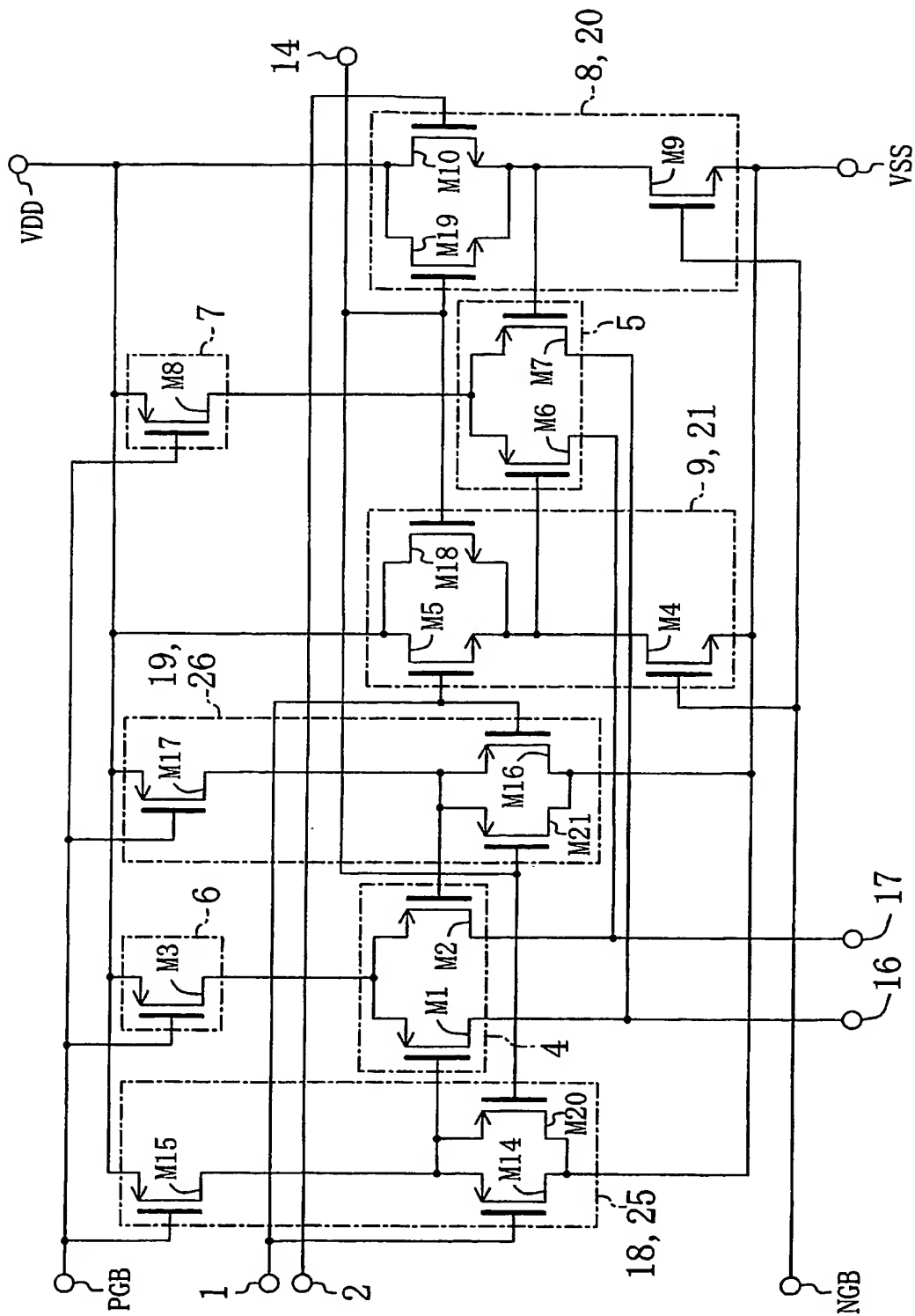
【図 26】



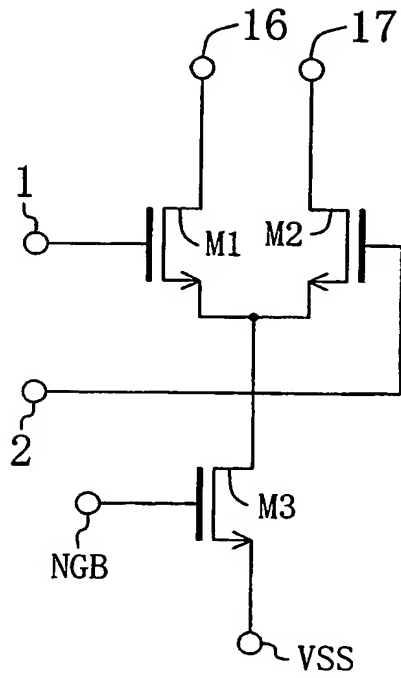
【図 27】



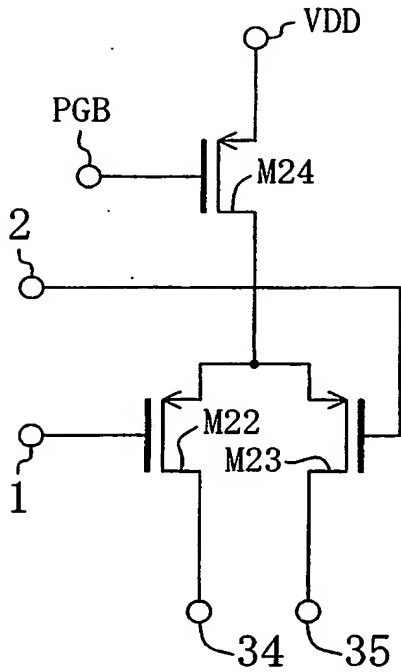
【図 28】



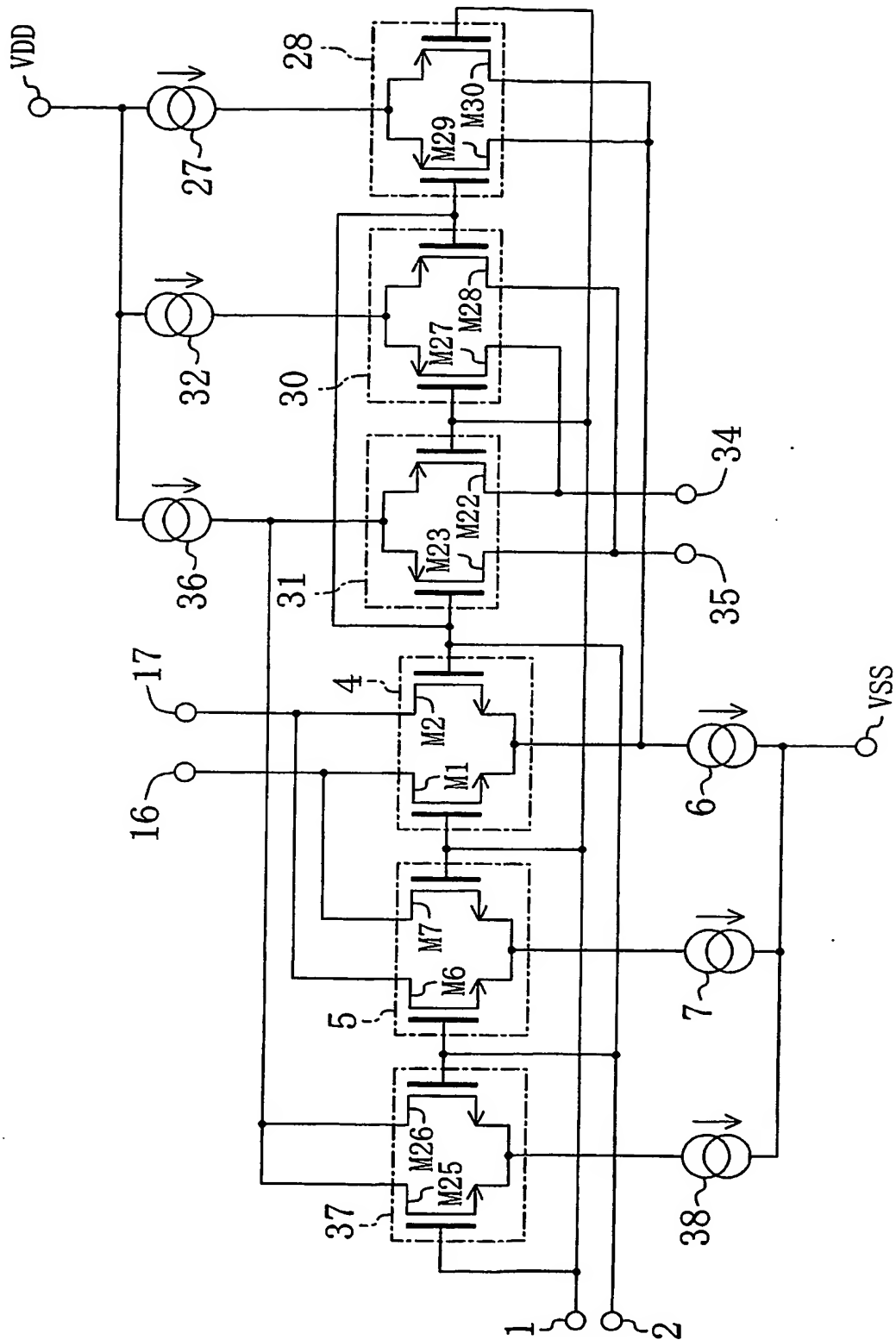
【図 29】



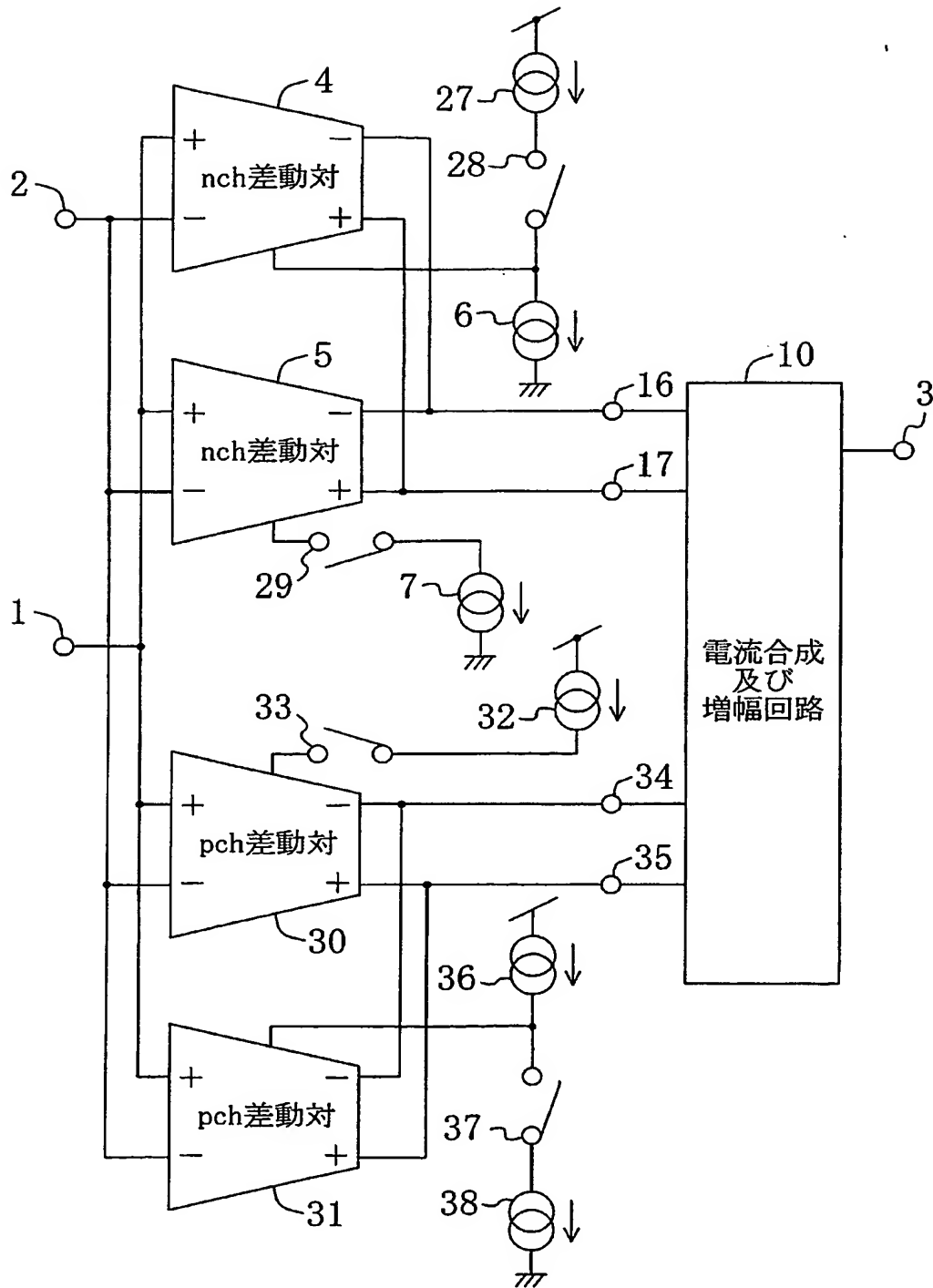
【図 30】



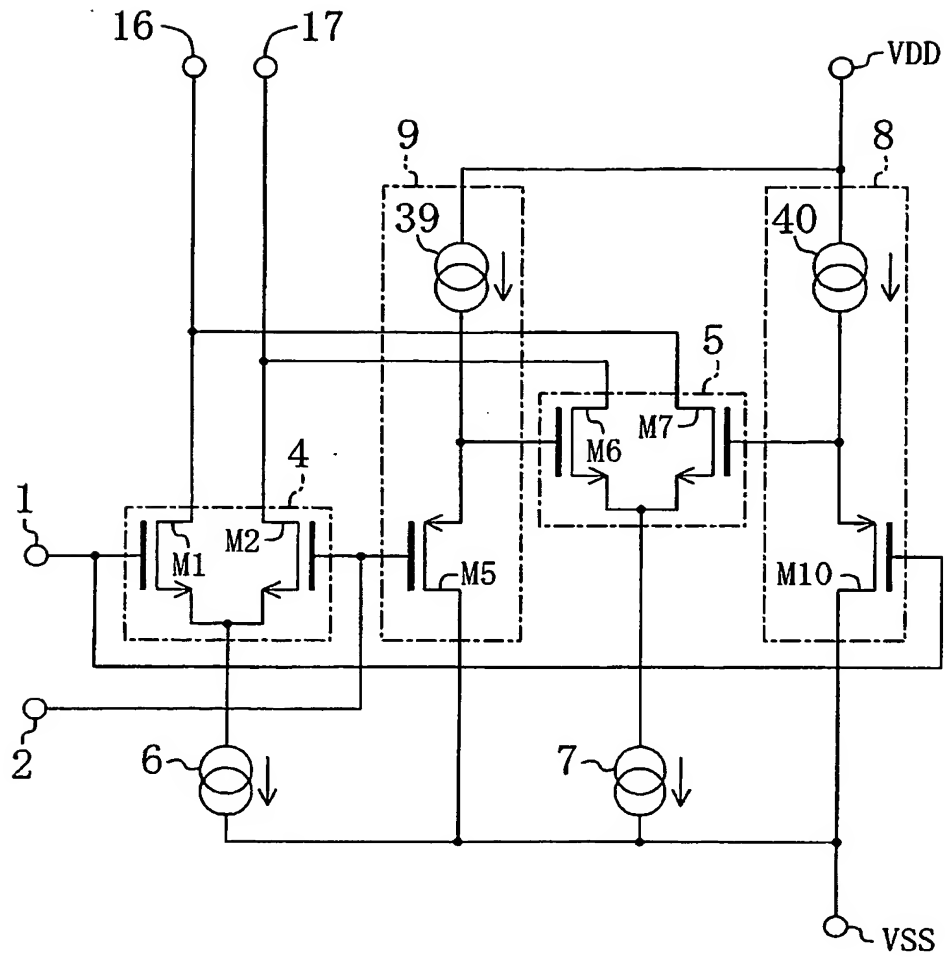
【図 31】



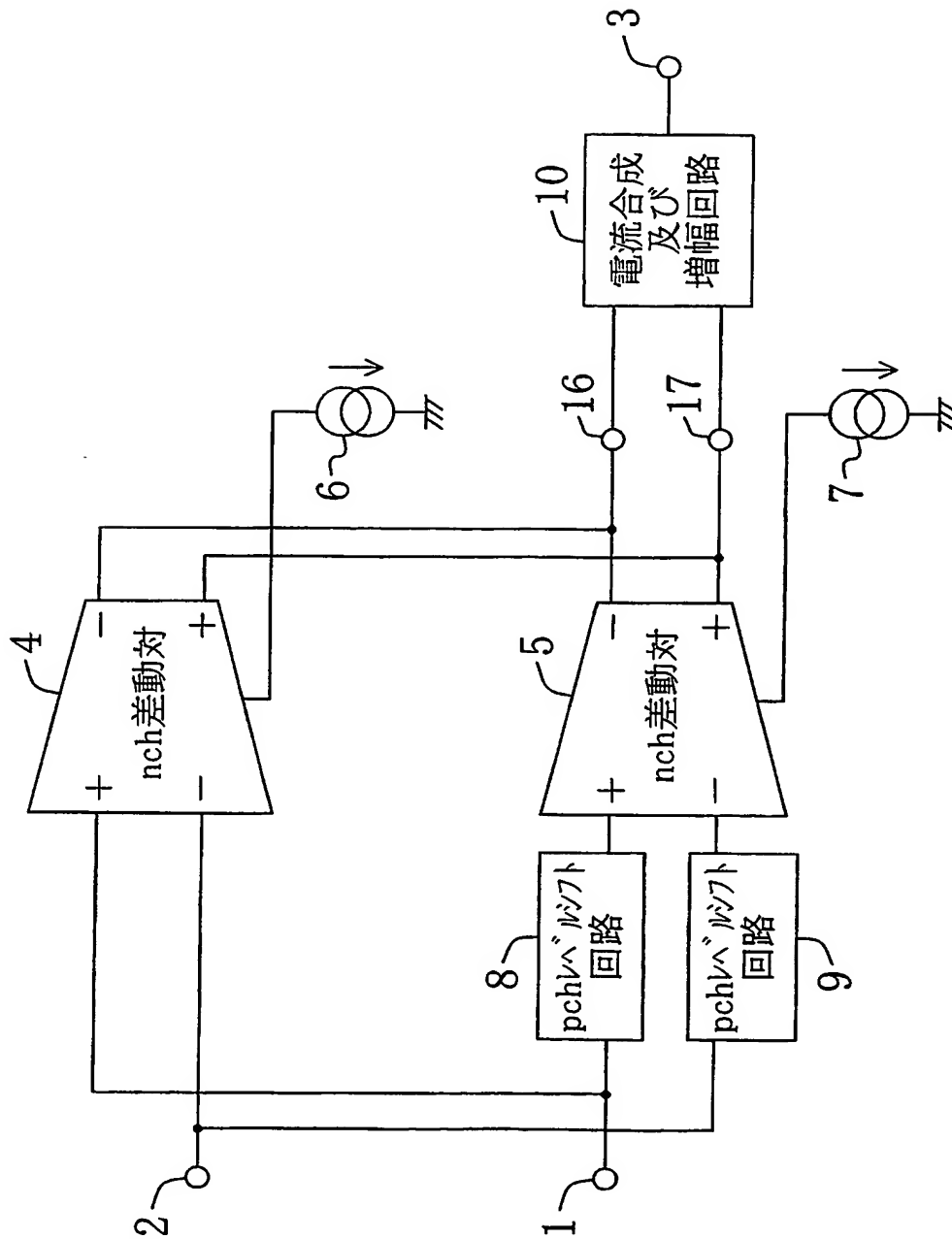
【図 32】



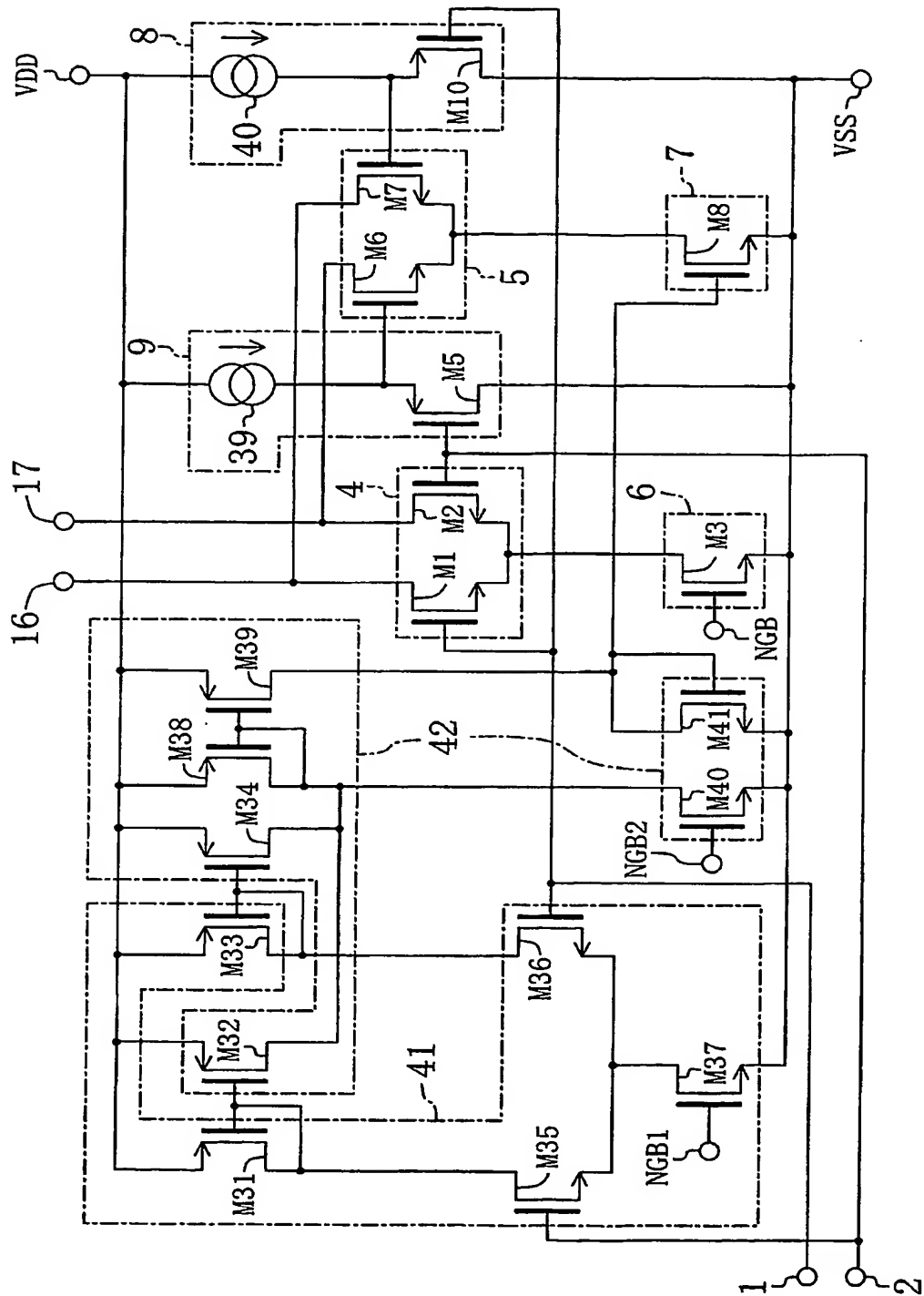
【図 33】



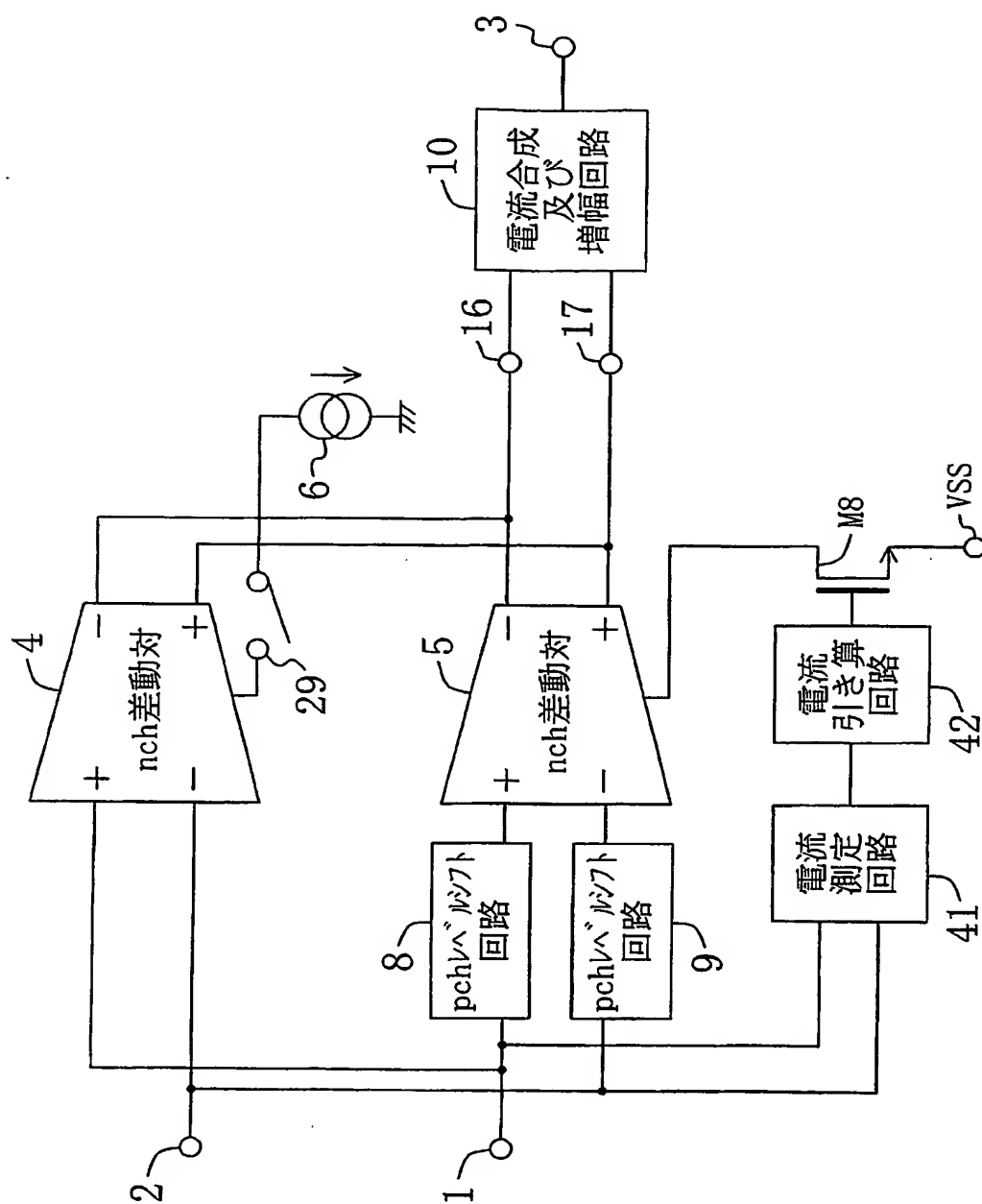
【図 34】



【図 35】



【図36】



【書類名】 要約書

【要約】

【課題】 信号を増幅する差動増幅器及び演算増幅器において、全入力動作電圧範囲において利得が等しく、且つ高速に動作させる。

【解決手段】 第 1 及び第 2 の信号で構成される差動信号が一对の入力端子 1、2 に入力される。例えば第 1 の信号の電圧が基準電圧源 1 5 の電圧値未満の際には、比較器 1 3 がこれを検知して、スイッチ回路 1 2 が第 1 の電流源 6 側に切り替わり、第 3 の電流源 1 1 の電流が第 1 の電流源 6 に流れて、第 1 の差動対 4 に電流が流れることが阻止される。その結果、入力された差動信号は第 2 の差動対 5 のみを経て増幅、出力される。一方、第 1 の信号の電圧が基準電圧源 1 5 の電圧を越えた状況では、反対に、スイッチ回路 1 2 が第 2 の電流源 7 側に切り替わって、入力された差動信号は第 1 の差動対 4 のみを経て増幅、出力される。

【選択図】 図 1

特願 2 0 0 2 - 2 9 5 0 9 8

出 願 人 履 歷 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日
[変更理由]

1 9 9 0 年 8 月 2 8 日

新規登録

住 所
氏 名

大阪府門真市大字門真 1 0 0 6 番地
松下電器産業株式会社

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.